

4-7-00

A

04/06/00  
jc780 U.S. PTO

FORM PTO-1082

005317-20069  
Express Mail Label No. EK 181 054 123 US

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kazunobu KAWASAWA

Serial No: Not assigned

Filed: April 6, 2000

For: SEMICONDUCTOR DEVICE AND METHOD FOR  
MANUFACTURING THE SAMEjc511 U.S. PTO  
09/544392  
04/06/00Box PATENT APPLICATION  
Assistant Commissioner for Patents  
Washington, D.C. 20231

Dear Sir:

Transmitted herewith for filing is the patent application identified above.

- ☒ 24 sheet(s) of drawings (☐ formal ☒ informal) is(are) enclosed.
- ☒ 50 page(s) of specification and 1 page(s) of abstract of the invention are enclosed.
- ☐ An assignment of the invention to SEIKO EPSON CORPORATION ☐ is enclosed ☒ will follow.
- ☐ An associate power of attorney ☐ is enclosed ☐ will follow.
- ☐ A verified statement to establish small entity status under 37 C.F.R. §§ 1.9 & 1.27 is enclosed.
- ☐ Declaration and Power of Attorney ☐ is enclosed ☒ will follow.
- ☐ A certified copy of Japanese Patent Application No. 11-099033 filed April 6, 1999 from which priority is claimed under 35 U.S.C. § 119 will follow.
- ☐ IDS enclosed (☐ with references).
- ☐ Preliminary Amendment is enclosed.

## CALCULATION OF FEES

ITEM	TOTAL NO. OF CLAIMS		NO. OF CLAIMS OVER BASE	LG/SM \$ ENTITY FEE	\$ AMOUNT	\$ FEE
A TOTAL CLAIMS FEE	82	-20	62	LG=\$18 SM=\$9	\$18	1116
B INDEPENDENT CLAIMS FEE*	6	-3	3	LG=\$78 SM=\$39	\$78	234
C SUBTOTAL - ADDITIONAL CLAIMS FEE (ADD FINAL COLUMN IN LINES A + B)						\$ 1350
D MULTIPLE-DEPENDENT CLAIMS FEE				LARGE ENTITY FEE = \$260 SMALL ENTITY FEE = \$130		\$ 260
E BASIC FEE				LARGE ENTITY FEE = \$690 SMALL ENTITY FEE = \$345		\$ 690
F TOTAL FILING FEE (ADD TOTALS FOR LINES C, D, AND E)						\$ 2300
G ASSIGNMENT RECORDING FEE					\$ 40	\$ 40
*LIST INDEPENDENT CLAIMS [LIST OF INDEPENDENT CLAIMS]						

"Continued on Second Page"

- ☐ A check in the amount of \$ 0 to cover the filing fee is enclosed.
- ☐ A check in the amount of \$ 0 to cover Assignment Recordation fee is enclosed.
- ☐ The Commissioner is hereby authorized to charge any deficiency for the following fees associated with this communication or credit any overpayment to Deposit Account No. 50-1314. **A copy of this sheet is enclosed.**

☐ Any additional filing fees required under 37 C.F.R. § 1.16

☐ Any patent application processing fees under 37 C.F.R. § 1.17

Please associate this application with the attorneys of record and with the correspondence address recorded for Customer No. 22335.

Respectfully submitted,  
HOGAN & HARTSON L.L.P.

By: \_\_\_\_\_

Louis A. Mok  
Registration No. 22,585  
Attorney for Applicant(s)

Date: April 6, 2000

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kazunobu KUWASAWA

Serial No: Not assigned

Filed: April 6, 2000

For: SEMICONDUCTOR DEVICE AND METHOD FOR  
MANUFACTURING THE SAME

Art Unit: Not assigned

Examiner: Not assigned

CERTIFICATE OF MAILING VIA U.S. EXPRESS MAIL

"Express Mail" Mailing Label No. EK 181 054 123 US

Date of Deposit: April 6, 2000

Box PATENT APPLICATION  
Assistant Commissioner for Patents  
Washington, D.C. 20231

Dear Sir:

I hereby certify that

- ☒ two copies of a letter of transmittal
- ☒ patent application ( 50 page(s) of specification; 82 claim(s); 1 page(s) of abstract
- ☒ 24 sheet(s) of informal drawings
- ☒ return postcard

are being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service with sufficient postage under 37 C.F.R. § 1.10 on the date indicated above and are addressed to:

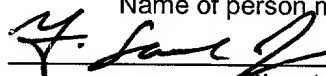
Box PATENT APPLICATION  
Assistant Commissioner for Patents  
Washington, D.C. 20231.

Date: April 6, 2000

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

Francisco Sandoval

Name of person mailing papers



Signature

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 1/ 51

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 不揮発性メモリトランジスタを備えた半導体装置であつて、  
容量素子および他の容量素子を備え、  
前記不揮発性メモリトランジスタ、前記容量素子および前記他の容量素子は、  
一つの半導体基板に形成され、

前記容量素子は、下部電極と、誘電体膜と、上部電極と、を含み、  
前記他の容量素子は、他の下部電極と、他の誘電体膜と、他の上部電極と、を  
含み、

前記他の誘電体膜の膜厚は、前記誘電体膜の膜厚と異なる、半導体装置。

【請求項2】 不揮発性メモリトランジスタを備えた半導体装置であつて、  
容量素子および他の容量素子を備え、  
前記不揮発性メモリトランジスタ、前記容量素子および前記他の容量素子は、  
一つの半導体基板に形成され、

前記容量素子は、下部電極と、複数の膜を構成要素とする誘電体膜と、上部電  
極と、を含み、

前記他の容量素子は、他の下部電極と、複数の膜を構成要素とする他の誘電体  
膜と、他の上部電極と、を含み、

前記他の誘電体膜は、前記誘電体膜の構成要素とは異なる構成要素を含む、半  
導体装置。

【請求項3】 請求項1または2において、  
前記誘電体膜および前記他の誘電体膜は、ONO膜を含む、半導体装置。

【請求項4】 請求項3において、  
前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、熱酸化膜  
、窒化膜、酸化膜を有する構造であり、  
前記他の誘電体膜は、前記他の下部電極から前記他の上部電極へ向かって、順  
に、第1熱酸化膜、CVD酸化膜、第2熱酸化膜、窒化膜、酸化膜を有する構造

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 2/ 51

である、半導体装置。

【請求項5】 請求項3において、

前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、熱酸化膜、窒化膜、酸化膜のみを有する構造であり、

前記他の誘電体膜は、前記他の下部電極から前記他の上部電極へ向かって、順に、第1熱酸化膜、CVD酸化膜、第2熱酸化膜、窒化膜、酸化膜のみを有する構造である、半導体装置。

【請求項6】 請求項4または5において、

前記誘電体膜の前記熱酸化膜と、前記他の誘電体膜の前記第2熱酸化膜とは、同一工程で形成された膜であり、

前記誘電体膜の前記窒化膜と、前記他の誘電体膜の前記窒化膜とは、同一工程で形成された膜であり、

前記誘電体膜の前記酸化膜と、前記他の誘電体膜の前記酸化膜とは、同一工程で形成された膜である、半導体装置。

【請求項7】 請求項4～6のいずれかにおいて、

前記他の誘電体膜の前記CVD酸化膜は、高温熱CVD酸化膜を含む、半導体装置。

【請求項8】 請求項4～7のいずれかにおいて、

前記誘電体膜の前記酸化膜および前記他の誘電体膜の前記酸化膜は、熱酸化膜を含む、半導体装置。

【請求項9】 請求項8において、

前記誘電体膜の前記熱酸化膜は、シリコン上において、30～200オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記誘電体膜の前記窒化膜の厚みは、50～500オングストロームであり、

前記誘電体膜の前記酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記第1熱酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記CVD酸化膜の厚みは、100～200オングストロ

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 3/ 51

ームであり、

前記他の誘電体膜の前記第2熱酸化膜は、シリコン上において、30～200  
オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記窒化膜の厚みは、50～500オングストロームであ  
り、

前記他の誘電体膜の前記酸化膜は、シリコン上において、60～80オングス  
トロームの熱酸化膜が成長する方法で形成された厚みである、半導体装置。

【請求項10】 請求項4～7のいずれかにおいて、

前記誘電体膜の前記酸化膜および前記他の誘電体膜の前記酸化膜は、CVD酸  
化膜を含む、半導体装置。

【請求項11】 請求項10において、

前記誘電体膜の前記熱酸化膜は、シリコン上において、30～200オングス  
トロームの熱酸化膜が成長する方法で形成された厚みであり、

前記誘電体膜の前記窒化膜の厚みは、50～500オングストロームであり、

前記誘電体膜の前記酸化膜の厚みは、100～200オングストロームであり

前記他の誘電体膜の前記第1熱酸化膜は、シリコン上において、60～80オ  
ングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記CVD酸化膜の厚みは、100～200オングストロ  
ームであり、

前記他の誘電体膜の前記第2熱酸化膜は、シリコン上において、30～200  
オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記窒化膜の厚みは、50～500オングストロームであ  
り、

前記他の誘電体膜の前記酸化膜の厚みは、100～200オングストロームで  
ある、半導体装置。

【請求項12】 請求項1～11のいずれかにおいて、

前記上部電極および前記他の上部電極は、ポリシリコンからなる電極である、  
半導体装置。

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 4/ 51

【請求項13】 請求項1～11のいずれかにおいて、  
前記上部電極および前記他の上部電極は、ポリサイドからなる電極である、半  
導体装置。

【請求項14】 請求項1～11のいずれかにおいて、  
前記上部電極および前記他の上部電極は、金属からなる電極である、半導体装  
置。

【請求項15】 請求項1～11のいずれかにおいて、  
前記上部電極および前記他の上部電極は、サリサイドからなる電極である、半  
導体装置。

【請求項16】 請求項1～15のいずれかにおいて、  
前記下部電極および前記他の下部電極は、同一工程で形成された膜であり、  
前記上部電極および前記他の上部電極は、同一工程で形成された膜である、半  
導体装置。

【請求項17】 請求項4～16のいずれかにおいて、  
前記不揮発性メモリトランジスタは、  
フローティングゲートと、  
コントロールゲートと、  
前記フローティングゲートと前記コントロールゲートとの間に位置する中間絶  
縁膜と、  
を含み、

前記中間絶縁膜は、前記フローティングゲートから前記コントロールゲートへ  
向かって、順に、第1熱酸化膜、CVD酸化膜、第2熱酸化膜、酸化膜を有する  
構造である、半導体装置。

【請求項18】 請求項17において、  
前記中間絶縁膜の前記第1熱酸化膜と、前記他の誘電体膜の前記第1熱酸化膜  
とは、同一工程で形成された膜であり、  
前記中間絶縁膜の前記CVD酸化膜と、前記他の誘電体膜の前記CVD酸化膜  
とは、同一工程で形成された膜であり、  
前記中間絶縁膜の前記第2熱酸化膜と、前記誘電体膜の前記熱酸化膜と、前記

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 5/ 51

他の誘電体膜の前記第2熱酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記酸化膜と、前記誘電体膜の前記酸化膜と、前記他の誘電体膜の前記酸化膜とは、同一工程で形成された膜である、半導体装置。

【請求項19】 請求項17または18において、

前記中間絶縁膜は、窒化膜を含み、

前記中間絶縁膜の前記窒化膜は、前記フローティングゲートの側壁下部であつて、かつ前記中間絶縁膜の前記第2熱酸化膜と前記中間絶縁膜の前記酸化膜との間に位置している、半導体装置。

【請求項20】 請求項19において、

前記中間絶縁膜の前記窒化膜と、前記誘電体膜の前記窒化膜と、前記他の誘電体膜の前記窒化膜とは、同一工程で形成された膜である、半導体装置。

【請求項21】 請求項17～20のいずれかにおいて、

前記中間絶縁膜の前記CVD酸化膜は、高温熱CVD酸化膜を含む、半導体装置。

【請求項22】 請求項17～21のいずれかにおいて、

前記中間絶縁膜の前記酸化膜は、熱酸化膜およびCVD酸化膜のうち、少なくともいずれか一つを含む、半導体装置。

【請求項23】 請求項17～22のいずれかにおいて、

前記コントロールゲート、前記上部電極および前記他の上部電極は、ポリシリコンからなる電極である、半導体装置。

【請求項24】 請求項17～22のいずれかにおいて、

前記コントロールゲート、前記上部電極および前記他の上部電極は、ポリサイドからなる電極である、半導体装置。

【請求項25】 請求項17～22のいずれかにおいて、

前記コントロールゲート、前記上部電極および前記他の上部電極は、金属からなる電極である、半導体装置。

【請求項26】 請求項17～22のいずれかにおいて、

前記コントロールゲート、前記上部電極および前記他の上部電極は、サリサイドからなる電極である、半導体装置。

整理番号=E P-0233701

提出日 平成12年 4月 4日

頁: 6/ 51

【請求項27】 請求項17～26のいずれかにおいて、

前記フローティングゲートと、前記下部電極と、前記他の下部電極とは、同一工程で形成された膜であり、

前記コントロールゲートと、前記上部電極と、前記他の上部電極とは、同一工程で形成された膜である、半導体装置。

【請求項28】 請求項1～27のいずれかにおいて、

前記上部電極が前記誘電体膜と面する面積と、前記他の上部電極が前記他の誘電体膜と面する面積とは同じである、半導体装置。

【請求項29】 請求項1～27のいずれかにおいて、

前記上部電極が前記誘電体膜と面する面積と、前記他の上部電極が前記他の誘電体膜と面する面積とは異なる、半導体装置。

【請求項30】 請求項1～29のいずれかにおいて、

前記他の下部電極の不純物濃度は、前記下部電極の不純物濃度と異なる、半導体装置。

【請求項31】 請求項1～30のいずれかにおいて、

前記誘電体膜の膜厚は、180～900オングストロームであり、  
前記他の誘電体膜の膜厚は、340～1180オングストロームである、半導体装置。

【請求項32】 請求項1～31のいずれかにおいて、

前記容量素子の容量値は、前記他の容量素子の容量値と異なる、半導体装置。

【請求項33】 請求項1～32のいずれかにおいて、

前記容量素子および前記他の容量素子は、アナログ回路の構成要素である、半導体装置。

【請求項34】 請求項1～33のいずれかにおいて、

前記不揮発性メモリトランジスタは、スプリットゲート型を含む、半導体装置。

【請求項35】 不揮発性メモリトランジスタ、容量素子および他の容量素子が、一つの半導体基板に形成されており、

前記不揮発性メモリトランジスタは、フローティングゲート、中間絶縁膜およ

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 7/ 51

びコントロールゲートを含み、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、

前記他の容量素子は、他の下部電極、他の誘電体膜および他の上部電極を含む、  
構造の半導体装置の製造方法であって、

(a) 前記半導体基板上に、前記フローティングゲート、前記下部電極および前記他の下部電極を形成する工程と、

(b) 前記フローティングゲート上、前記下部電極上および前記他の下部電極上に、第1酸化膜を形成する工程と、

(c) 前記第1酸化膜上に、第2酸化膜を形成する工程と、

(d) 前記第1酸化膜および前記第2酸化膜をパターンニングすることにより、

前記フローティングゲートの側壁上に、前記中間絶縁膜の構成要素となる前記第1酸化膜および前記第2酸化膜を残し、かつ、

前記下部電極上の前記第1酸化膜および前記第2酸化膜を除去し、かつ、

前記他の下部電極上に、前記他の誘電体膜の構成要素となる前記第1酸化膜および前記第2酸化膜を残す工程と、

(e) 前記フローティングゲートの側壁上にある前記第2酸化膜上、

前記下部電極上、および、

前記他の下部電極上にある前記第2酸化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる第3酸化膜を形成する工程と、

(f) 前記下部電極上にある前記第3酸化膜上、および、

前記他の下部電極上にある前記第3酸化膜上に、

それぞれ、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる窒化膜を形成する工程と、

(g) 前記フローティングゲートの側壁上にある前記第3酸化膜上、

前記下部電極上にある前記窒化膜上、および、

前記他の下部電極上にある前記窒化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他

前記下部電極上にある前記第3酸化膜上の前記窒化膜上、および

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 9/ 51

前記他の下部電極上にある前記第3酸化膜上の前記窒化膜上に、  
それぞれ、マスク膜を形成する工程と、  
前記マスク膜をマスクとして、前記窒化膜を異方性エッチングにより選択的に  
除去することにより、  
前記フローティングゲートの側壁下部上にある前記第3酸化膜上、  
前記下部電極上にある前記第3酸化膜上、および、  
前記他の下部電極上にある前記第3酸化膜上に、  
それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他  
の誘電体膜の構成要素となる前記窒化膜を残す工程と、  
を備えた半導体装置の製造方法。

【請求項45】 請求項35～44のいずれかにおいて、  
前記工程(a)は、  
前記フローティングゲート上に選択酸化膜を形成する工程を備えた、半導体装  
置の製造方法。

【請求項46】 請求項45において、  
前記選択酸化膜を形成する工程は、  
前記半導体基板上に、導電膜を形成する工程と、  
前記フローティングゲートとなる前記導電膜上に、前記選択酸化膜を形成する  
工程と、を備えた、半導体装置の製造方法。

【請求項47】 請求項46において、  
前記フローティングゲートのパターンニングは、前記選択酸化膜をマスクとす  
る、半導体装置の製造方法。

【請求項48】 請求項35～44のいずれかにおいて、  
前記工程(a)は、  
前記半導体基板上に、導電膜を形成する工程と、  
前記導電膜をパターンニングすることにより、前記フローティングゲート、前  
記下部電極および前記他の下部電極を、同時に形成する工程と、  
を備えた半導体装置の製造方法。

【請求項49】 請求項35～48のいずれかにおいて、

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 10/ 51

前記工程(h)は、

前記半導体基板上に、他の導電膜を形成する工程と、

前記他の導電膜をパターンニングすることにより、前記コントロールゲート、

前記上部電極および前記他の上部電極を、同時に形成する工程と

を備えた半導体装置の製造方法。

【請求項50】 請求項35～49のいずれかにおいて、

前記不揮発性メモリトランジスタは、スプリットゲート型を含む、半導体装置の製造方法。

【請求項51】 不揮発性メモリトランジスタを備えた半導体装置であって

容量素子を備え、

前記不揮発性メモリトランジスタおよび前記容量素子は、一つの半導体基板に形成され、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、

前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、第1酸化膜、第2酸化膜、窒化膜、第3酸化膜を有する構造である、半導体装置。

【請求項52】 不揮発性メモリトランジスタを備えた半導体装置であって

容量素子を備え、

前記不揮発性メモリトランジスタおよび前記容量素子は、一つの半導体基板に形成され、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、

前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、第1酸化膜、第2酸化膜、窒化膜、第3酸化膜のみを有する構造である、半導体装置。

【請求項53】 請求項51または52において、

前記第1酸化膜は、熱酸化膜を含み、

前記第2酸化膜は、CVD酸化膜を含み、

前記第3酸化膜は、熱酸化膜を含む、半導体装置。

【請求項54】 請求項53において、

整理番号＝EP-0233701

提出日 平成12年 4月 4日  
頁: 11/ 51

前記第2酸化膜は、高温熱CVD酸化膜を含む、半導体装置。

【請求項55】 請求項53または54において、

前記第1酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記第2酸化膜の厚みは、100～200オングストロームであり、

前記窒化膜の厚みは、50～500オングストロームであり、

前記第3酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みである、半導体装置。

【請求項56】 請求項51～55のいずれかにおいて、

前記不揮発性メモリトランジスタは、

フローティングゲートと、

コントロールゲートと、

前記フローティングゲートと前記コントロールゲートとの間に位置する中間絶縁膜と、

を含み、

前記中間絶縁膜は、前記フローティングゲートから前記コントロールゲートへ向かって、順に、第1酸化膜、第2酸化膜、第3酸化膜を有する構造である、半導体装置。

【請求項57】 請求項56において、

前記中間絶縁膜の前記第1酸化膜は、熱酸化膜を含み、

前記中間絶縁膜の前記第2酸化膜は、CVD酸化膜を含み、

前記中間絶縁膜の前記第3酸化膜は、熱酸化膜を含む、半導体装置。

【請求項58】 請求項57において、

前記中間絶縁膜の前記第2酸化膜は、高温熱CVD酸化膜を含む、半導体装置。

【請求項59】 請求項56～58のいずれかにおいて、

前記中間絶縁膜の前記第1酸化膜と、前記誘電体膜の前記第1酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記第2酸化膜と、前記誘電体膜の前記第2酸化膜とは、同

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 12/ 51

一工程で形成された膜であり、

前記中間絶縁膜の前記第3酸化膜と、前記誘電体膜の前記第3酸化膜とは、同一工程で形成された膜である、半導体装置。

【請求項60】 請求項56～59のいずれかにおいて、  
前記中間絶縁膜は、窒化膜を含み、

前記中間絶縁膜の前記窒化膜は、前記フローティングゲートの側壁下部であって、かつ前記中間絶縁膜の前記第2酸化膜と前記中間絶縁膜の前記第3酸化膜との間に位置している、半導体装置。

【請求項61】 請求項60において、  
前記中間絶縁膜の前記窒化膜と、前記誘電体膜の前記窒化膜とは、同一工程で形成された膜である、半導体装置。

【請求項62】 請求項56～61のいずれかにおいて、  
前記コントロールゲートおよび前記上部電極は、ポリシリコンからなる電極である、半導体装置。

【請求項63】 請求項56～61のいずれかにおいて、  
前記コントロールゲートおよび前記上部電極は、ポリサイドからなる電極である、半導体装置。

【請求項64】 請求項56～61のいずれかにおいて、  
前記コントロールゲートおよび前記上部電極は、金属からなる電極である、半導体装置。

【請求項65】 請求項56～61のいずれかにおいて、  
前記コントロールゲートおよび前記上部電極は、シリサイドからなる電極である、半導体装置。

【請求項66】 請求項56～65のいずれかにおいて、  
前記フローティングゲートと、前記下部電極とは、同一工程で形成された膜であり、  
前記コントロールゲートと、前記上部電極とは、同一工程で形成された膜である、半導体装置。

【請求項67】 請求項51～66のいずれかにおいて、

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 13/ 51

前記容量素子は、アナログ回路の構成要素である、半導体装置。

【請求項68】 請求項51～67のいずれかにおいて、

前記不揮発性メモリトランジスタは、スプリットゲート型を含む、半導体装置

【請求項69】 不揮発性メモリトランジスタおよび容量素子が、一つの半導体基板に形成されており、

前記不揮発性メモリトランジスタは、フローティングゲート、中間絶縁膜およびコントロールゲートを含み、

前記容量素子は、下部電極、誘電体膜および上部電極を含む、構造の半導体装置の製造方法であって、

(a) 前記半導体基板上に、前記フローティングゲートおよび前記下部電極を形成する工程と、

(b) 前記フローティングゲート上および前記下部電極上に、第1酸化膜を形成する工程と、

(c) 前記第1酸化膜上に、第2酸化膜を形成する工程と、

(d) 前記下部電極上にある前記第2酸化膜上に、前記誘電体膜の構成要素となる窒化膜を形成する工程と、

(e) 前記フローティングゲートの側壁上にある前記第2酸化膜上、および、前記下部電極上にある前記窒化膜上に、

それぞれ、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素となる第3酸化膜を形成する工程と、

(f) 前記工程(e)後、前記半導体基板上に、前記コントロールゲートおよび前記上部電極を形成する工程と、

を備えた半導体装置の製造方法。

【請求項70】 請求項69において、

前記工程(a)は、

前記下部電極に不純物を導入することにより、前記下部電極を所定の不純物濃度にする工程を備えた、半導体装置の製造方法。

【請求項71】 請求項69または70において、

整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 14/ 51

前記第1酸化膜は、熱酸化により形成される、半導体装置の製造方法。

【請求項72】 請求項69～71のいずれかにおいて、

前記第2酸化膜は、CVDにより形成される、半導体装置の製造方法。

【請求項73】 請求項72において、

前記CVDは、高温熱CVDを含む、半導体装置の製造方法。

【請求項74】 請求項69～73のいずれかにおいて、

前記窒化膜は、CVDにより形成される、半導体装置の製造方法。

【請求項75】 請求項69～74のいずれかにおいて、

前記第3酸化膜は、熱酸化により形成される、半導体装置の製造方法。

【請求項76】 請求項69～75のいずれかにおいて、

前記工程(d)は、

前記第2酸化膜上に、窒化膜を形成する工程と、

前記下部電極上にある前記第2酸化膜上の前記窒化膜上に、マスク膜を形成する工程と、

前記マスク膜をマスクとして、前記窒化膜を異方性エッチングにより選択的に除去することにより、

前記フローティングゲートの側壁下部上にある前記第2酸化膜上、および、

前記下部電極上にある前記第2酸化膜上に、

それぞれ、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素となる前記窒化膜を残す工程と、

を備えた半導体装置の製造方法。

【請求項77】 請求項69～76のいずれかにおいて、

前記工程(a)は、

前記フローティングゲート上に選択酸化膜を形成する工程を備えた、半導体装置の製造方法。

【請求項78】 請求項77において、

前記選択酸化膜を形成する工程は、

前記半導体基板上に、導電膜を形成する工程と、

前記フローティングゲートとなる前記導電膜上に、前記選択酸化膜を形成する

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 15/ 51

工程と、 を備えた、半導体装置の製造方法。

【請求項79】 請求項78において、

前記フローティングゲートのパターンニングは、前記選択酸化膜をマスクとする、半導体装置の製造方法。

【請求項80】 請求項69～76のいずれかにおいて、

前記工程(a)は、

前記半導体基板上に、導電膜を形成する工程と、

前記導電膜をパターンニングすることにより、前記フローティングゲートおよび前記下部電極を、同時に形成する工程と、

を備えた半導体装置の製造方法。

【請求項81】 請求項69～80のいずれかにおいて、

前記工程(f)は、

前記半導体基板上に、他の導電膜を形成する工程と、

前記他の導電膜をパターンニングすることにより、前記コントロールゲートおよび前記上部電極を、同時に形成する工程と

を備えた半導体装置の製造方法。

【請求項82】 請求項69～81のいずれかにおいて、

前記不揮発性メモリトランジスタは、スプリットゲート型を含む、半導体装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリトランジスタを含む半導体装置およびその製造方法に関する。

【0002】

【背景技術および発明が解決しようとする課題】

近年、チップインターフェイス遅延の短縮、ボード面積分のコスト低減、ボード設計開発のコスト低減などの観点から、各種回路の混載が要求される。

【0003】

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 16/ 51

本発明の目的は、不揮発性メモリトランジスタと、他の素子と、を同一の半導体基板に混載した半導体装置およびその製造方法を提供することである。

【0004】

【課題を解決するための手段】

[1] 本発明に係る半導体装置は、

不揮発性メモリトランジスタを備えた半導体装置であって、

容量素子および他の容量素子を備え、

前記不揮発性メモリトランジスタ、前記容量素子および前記他の容量素子は、一つの半導体基板に形成され、

前記容量素子は、下部電極と、誘電体膜と、上部電極と、を含み、

前記他の容量素子は、他の下部電極と、他の誘電体膜と、他の上部電極と、を含み、

前記他の誘電体膜の膜厚は、前記誘電体膜の膜厚と異なる、ことを特徴とする。

【0005】

本発明に係る半導体装置によれば、前記他の誘電体膜の膜厚は、前記誘電体膜の膜厚と異なるので、容量素子および他の容量素子の容量値を、それぞれ、所望の値にすることができる。なお、不揮発性メモリトランジスタとは、例えば、フラッシュセルのことである。以下の不揮発性メモリトランジスタも同じである。

【0006】

本発明に係る半導体装置は、

不揮発性メモリトランジスタを備えた半導体装置であって、

容量素子および他の容量素子を備え、

前記不揮発性メモリトランジスタ、前記容量素子および前記他の容量素子は、一つの半導体基板に形成され、

前記容量素子は、下部電極と、複数の膜を構成要素とする誘電体膜と、上部電極と、を含み、

前記他の容量素子は、他の下部電極と、複数の膜を構成要素とする他の誘電体膜と、他の上部電極と、を含み、

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 17/ 51

前記他の誘電体膜は、前記誘電体膜の構成要素とは異なる構成要素を含む、ことを特徴とする。

【0007】

本発明に係る半導体装置によれば、前記他の誘電体膜は、前記誘電体膜の構成要素とは異なる構成要素を含むので、容量素子および他の容量素子の容量値を、それぞれ、所望の値にすることができる。

【0008】

本発明に係る半導体装置には、以下の態様がある。

【0009】

(1) 前記誘電体膜および前記他の誘電体膜は、ONO膜を含む。ONO膜とは、酸化膜、窒化膜、酸化膜が積層された膜である。

【0010】

酸化膜とは、例えば、シリコン酸化膜のような、酸素を含む絶縁膜のことである。窒化膜とは、例えば、シリコン窒化膜のような、窒素を含む絶縁膜のことである。以下のONO膜、酸化膜、窒化膜もこの意味である。

【0011】

(2) 前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、熱酸化膜、窒化膜、酸化膜を有する構造であり、

前記他の誘電体膜は、前記他の下部電極から前記他の上部電極へ向かって、順に、第1熱酸化膜、CVD酸化膜、第2熱酸化膜、窒化膜、酸化膜を有する構造である。

【0012】

前記誘電体膜は、上記の三層構造でもよいし、さらに他の膜を加えてもよい。前記他の誘電体膜は、上記の五層構造でもよいし、さらに他の膜を加えてもよい。

【0013】

(3) 前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、熱酸化膜、窒化膜、酸化膜のみを有する構造であり、

前記他の誘電体膜は、前記他の下部電極から前記他の上部電極へ向かって、順

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 18/ 51

に、第1熱酸化膜、CVD酸化膜、第2熱酸化膜、窒化膜、酸化膜のみを有する構造である。

【0014】

前記誘電体膜は、上記の三層のみで構成され、他の膜は加わらない。前記他の誘電体膜は、上記の五層のみ構成され、他の膜は加わらない。

【0015】

(4) 前記誘電体膜の前記熱酸化膜と、前記他の誘電体膜の前記第2熱酸化膜とは、同一工程で形成された膜であり、

前記誘電体膜の前記窒化膜と、前記他の誘電体膜の前記窒化膜とは、同一工程で形成された膜であり、

前記誘電体膜の前記酸化膜と、前記他の誘電体膜の前記酸化膜とは、同一工程で形成された膜である。

【0016】

これによれば、半導体装置の製造工程を簡略にすることができる。

【0017】

(5) 前記他の誘電体膜の前記CVD酸化膜は、高温熱CVD酸化膜を含む。

【0018】

これによれば、前記CVD酸化膜は緻密な膜になるので、他の容量素子の耐圧を向上させることができる。

【0019】

(6) 前記誘電体膜の前記酸化膜および前記他の誘電体膜の前記酸化膜は、熱酸化膜を含む。

【0020】

これによれば、同一の半導体基板に、電界効果トランジスタを混載する場合、前記酸化膜形成時に、ゲート酸化膜を同時に形成することができる。

【0021】

(7) 前記誘電体膜の前記熱酸化膜は、シリコン上において、30~200オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 19/ 51

前記誘電体膜の前記窒化膜の厚みは、50～500オングストロームであり、  
前記誘電体膜の前記酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、  
前記他の誘電体膜の前記第1熱酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、  
前記他の誘電体膜の前記CVD酸化膜の厚みは、100～200オングストローム（特に、150オングストローム）であり、  
前記他の誘電体膜の前記第2熱酸化膜は、シリコン上において、30～200オングストロームの熱酸化膜が成長する方法で形成された厚みであり、  
前記他の誘電体膜の前記窒化膜の厚みは、50～500オングストロームであり、  
前記他の誘電体膜の前記酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みである。

【0022】

（8）前記誘電体膜の前記酸化膜および前記他の誘電体膜の前記酸化膜は、CVD酸化膜を含む。

【0023】

これによれば、同一の半導体基板に、特に、高耐圧の電界効果トランジスタを混載する場合、前記酸化膜を、ゲート酸化膜の一部にすることができる。

【0024】

（9）前記誘電体膜の前記熱酸化膜は、シリコン上において、30～200オングストロームの熱酸化膜が成長する方法で形成された厚みであり、  
前記誘電体膜の前記窒化膜の厚みは、50～500オングストロームであり、  
前記誘電体膜の前記酸化膜の厚みは、100～200オングストロームであり、  
前記他の誘電体膜の前記第1熱酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、  
前記他の誘電体膜の前記CVD酸化膜の厚みは、100～200オングストロームであり、

整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 20/ 51

前記他の誘電体膜の前記第2熱酸化膜は、シリコン上において、30～200  
オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記窒化膜の厚みは、50～500オングストロームであ  
り、

前記他の誘電体膜の前記酸化膜の厚みは、100～200オングストロームで  
ある。

【0025】

(10) 前記上部電極および前記他の上部電極は、ポリシリコンからなる電  
極である。

【0026】

(11) 前記上部電極および前記他の上部電極は、ポリサイドからなる電極  
である。

【0027】

これによれば、前記上部電極および前記他の上部電極を低抵抗にできるので、  
半導体装置の高速化を図れる。

【0028】

(12) 前記上部電極および前記他の上部電極は、金属からなる電極である

【0029】

これによれば、前記上部電極および前記他の上部電極を低抵抗にできるので、  
半導体装置の高速化を図れる。

【0030】

(13) 前記上部電極および前記他の上部電極は、サリサイドからなる電極  
である。

【0031】

これによれば、前記上部電極および前記他の上部電極を低抵抗にできるので、  
半導体装置の高速化を図れる。

【0032】

(14) 前記下部電極および前記他の下部電極は、同一工程で形成された膜

整理番号 = EP-0233701

[ 0 0 3 8 ]

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 22/ 51

(17) 前記中間絶縁膜は、窒化膜を含み、

前記中間絶縁膜の前記窒化膜は、前記フローティングゲートの側壁下部であつて、かつ前記中間絶縁膜の前記第2熱酸化膜と前記中間絶縁膜の前記酸化膜との間に位置している。

【0039】

前記不揮発性メモリトランジスタの動作のため、コントロールゲートに電圧（例えば、負電圧）を印加したとき、前記フローティングゲートの側壁下部に電界が集中することがある。これによれば、前記中間絶縁膜の耐圧を向上させることができる。

【0040】

(18) 前記中間絶縁膜の前記窒化膜と、前記誘電体膜の前記窒化膜と、前記他の誘電体膜の前記窒化膜とは、同一工程で形成された膜である。

【0041】

これによれば、半導体装置の製造工程を簡略にすることができる。

【0042】

(19) 前記中間絶縁膜の前記CVD酸化膜は、高温熱CVD酸化膜を含む。

【0043】

これによれば、前記CVD酸化膜は緻密な膜になるので、前記中間絶縁膜の耐圧を向上させることができる。

【0044】

(20) 前記中間絶縁膜の前記酸化膜は、熱酸化膜およびCVD酸化膜のうち、少なくともいずれか一つを含む。

【0045】

(21) 前記コントロールゲート、前記上部電極および前記他の上部電極は、ポリシリコンからなる電極である。

【0046】

(22) 前記コントロールゲート、前記上部電極および前記他の上部電極は、ポリサイドからなる電極である。

整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 23/ 51

【0047】

これによれば、前記コントロールゲート、前記上部電極および前記他の上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0048】

(23) 前記コントロールゲート、前記上部電極および前記他の上部電極は、金属からなる電極である。

【0049】

これによれば、前記コントロールゲート、前記上部電極および前記他の上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0050】

(24) 前記コントロールゲート、前記上部電極および前記他の上部電極は、サリサイドからなる電極である。

【0051】

これによれば、前記コントロールゲート、前記上部電極および前記他の上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0052】

(25) 前記フローティングゲートと、前記下部電極と、前記他の下部電極とは、同一工程で形成された膜であり、

前記コントロールゲートと、前記上部電極と、前記他の上部電極とは、同一工程で形成された膜である。

【0053】

これによれば、半導体装置の製造工程を簡略にすることができる。

【0054】

(26) 前記上部電極が前記誘電体膜と面する面積と、前記他の上部電極が前記他の誘電体膜と面する面積とは同じである。

【0055】

本発明では、前記誘電体膜と前記他の誘電体膜とは、膜厚が異なる（構成要素が異なる）。よって、これによれば、前記容量素子と前記他の容量素子の容量値を異ならせることができる。

整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 24/ 51

【0056】

(27) 前記上部電極が前記誘電体膜と面する面積と、前記他の上部電極が前記他の誘電体膜と面する面積とは異なる。

【0057】

本発明では、前記誘電体膜と前記他の誘電体膜の膜厚が異なる（構成要素が異なる）。よって、これによれば、前記容量素子と前記他の容量素子の容量値を同じにすることが可能となる。

【0058】

(28) 前記他の下部電極の不純物濃度は、前記下部電極の不純物濃度と異なる。

【0059】

不純物濃度を変えることにより、容量値を制御することができる。よって、この態様によれば、容量素子の容量値と他の容量素子の容量値の組み合わせを、より多様化できる。

【0060】

(29) 前記誘電体膜の膜厚は、180～900オングストロームであり、前記他の誘電体膜の膜厚は、340～1180オングストロームである。

【0061】

(30) 前記容量素子の容量値は、前記他の容量素子の容量値と異なる。

【0062】

(31) 前記容量素子および前記他の容量素子は、アナログ回路の構成要素である。

【0063】

(32) 前記不揮発性メモリトランジスタは、スプリットゲート型を含む。

【0064】

[2] 本発明に係る半導体装置の製造方法は、

不揮発性メモリトランジスタ、容量素子および他の容量素子が、一つの半導体基板に形成されており、

前記不揮発性メモリトランジスタは、フローティングゲート、中間絶縁膜およ

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 25/ 51

びコントロールゲートを含み、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、

前記他の容量素子は、他の下部電極、他の誘電体膜および他の上部電極を含む  
、構造の半導体装置の製造方法であって、

(a) 前記半導体基板上に、前記フローティングゲート、前記下部電極および  
前記他の下部電極を形成する工程と、

(b) 前記フローティングゲート上、前記下部電極上および前記他の下部電極  
上に、第1酸化膜を形成する工程と、

(c) 前記第1酸化膜上に、第2酸化膜を形成する工程と、

(d) 前記第1酸化膜および前記第2酸化膜をパターンニングすることにより

前記フローティングゲートの側壁上に、前記中間絶縁膜の構成要素となる前記  
第1酸化膜および前記第2酸化膜を残し、かつ、

前記下部電極上の前記第1酸化膜および前記第2酸化膜を除去し、かつ、

前記他の下部電極上に、前記他の誘電体膜の構成要素となる前記第1酸化膜お  
よび前記第2酸化膜を残す工程と、

(e) 前記フローティングゲートの側壁上にある前記第2酸化膜上、

前記下部電極上、および、

前記他の下部電極上にある前記第2酸化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他  
の誘電体膜の構成要素となる第3酸化膜を形成する工程と、

(f) 前記下部電極上にある前記第3酸化膜上、および、

前記他の下部電極上にある前記第3酸化膜上に、

それぞれ、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる  
窒化膜を形成する工程と、

(g) 前記フローティングゲートの側壁上にある前記第3酸化膜上、

前記下部電極上にある前記窒化膜上、および、

前記他の下部電極上にある前記窒化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他

提出日 平成12年 4月 4日

整理番号=EP-0233701

頁: 26/ 51

の誘電体膜の構成要素となる第4酸化膜を形成する工程と、

(h) 前記工程(g)後、前記半導体基板上に、前記コントロールゲート、前記上部電極および前記他の上部電極を形成する工程と、

を備える。

【0065】

本発明に係る半導体装置の製造方法によれば、不揮発性メモリトランジスタ、容量素子および他の容量素子を、一つの半導体基板に形成することができる。そして、容量素子の誘電体膜および他の容量素子の他の誘電体膜は、ともに、ON膜となる。そして、他の誘電体膜の膜厚を、誘電体膜の膜厚と異なるようにすることができる(他の誘電体膜に、誘電体膜の構成要素とは異なる構成要素を含むようにすることができる。))。

【0066】

本発明に係る半導体装置には、以下の態様がある。

【0067】

(1) 前記工程(a)は、

前記下部電極に不純物を導入することにより、前記下部電極を第1の不純物濃度にする工程と、

前記他の下部電極に不純物を導入することにより、前記他の下部電極を第1の不純物濃度とは異なる第2の不純物濃度にする工程と、

を備える。

【0068】

不純物濃度を変えることにより、容量値を制御することができる。よって、この態様によれば、容量素子の容量値と他の容量素子の容量値の組み合わせを、より多様化できる。なお、不純物を導入するとは、例えば、イオン注入や拡散を意味する。

【0069】

(2) 前記第1酸化膜は、熱酸化により形成される。

【0070】

(3) 前記第2酸化膜は、CVDにより形成される。

整理番号=E P-0233701

提出日 平成12年 4月 4日

頁: 27/ 51

【0071】

(4) 前記CVDは、高温熱CVDを含む。

【0072】

(5) 前記第3酸化膜は、熱酸化により形成される。

【0073】

(6) 前記窒化膜は、CVDにより形成される。

【0074】

(7) 前記第4酸化膜は、熱酸化により形成される。

【0075】

(8) 前記第4酸化膜は、CVDにより形成される。

【0076】

(9) 前記工程(f)は、

前記第3酸化膜上に、窒化膜を形成する工程と、

前記下部電極上にある前記第3酸化膜上の前記窒化膜上、および、

前記他の下部電極上にある前記第3酸化膜上の前記窒化膜上に、

それぞれ、マスク膜を形成する工程と、

前記マスク膜をマスクとして、前記窒化膜を異方性エッチングにより選択的に除去することにより、

前記フローティングゲートの側壁下部上にある前記第3酸化膜上、

前記下部電極上にある前記第3酸化膜上、および、

前記他の下部電極上にある前記第3酸化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる前記窒化膜を残す工程と、

を備える。

【0077】

これによれば、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる前記窒化膜を同時に形成することができる。

【0078】

(10) 前記工程(a)は、

提出日 平成12年 4月 4日

整理番号=EP-0233701

頁: 28/ 51

前記フローティングゲート上に選択酸化膜を形成する工程を備える。

【0079】

(11) 前記選択酸化膜を形成する工程は、  
前記半導体基板上に、導電膜を形成する工程と、  
前記フローティングゲートとなる前記導電膜上に、前記選択酸化膜を形成する工程と、を備える。

【0080】

(12) 前記フローティングゲートのパターンニングは、前記選択酸化膜をマスクとする。

【0081】

(13) 前記工程(a)は、  
前記半導体基板上に、導電膜を形成する工程と、  
前記導電膜をパターンニングすることにより、前記フローティングゲート、前記下部電極および前記他の下部電極を、同時に形成する工程と、  
を備える。

【0082】

これによれば、半導体装置の製造工程の簡略を図ることができる。

【0083】

(14) 前記工程(h)は、  
前記半導体基板上に、他の導電膜を形成する工程と、  
前記他の導電膜をパターンニングすることにより、前記コントロールゲート、前記上部電極および前記他の上部電極を、同時に形成する工程と  
を備える。

【0084】

これによれば、半導体装置の製造工程の簡略を図ることができる。

【0085】

(15) 前記不揮発性メモリトランジスタは、スプリットゲート型を含む。

【0086】

[3] 本発明に係る半導体装置は、

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 29/ 51

不揮発性メモリトランジスタを備えた半導体装置であって、  
容量素子を備え、  
前記不揮発性メモリトランジスタおよび前記容量素子は、一つの半導体基板に  
形成され、  
前記容量素子は、下部電極、誘電体膜および上部電極を含み、  
前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、第1酸化  
膜、第2酸化膜、窒化膜、第3酸化膜を有する構造である。

【0087】

本発明に係る半導体装置によれば、前記不揮発性メモリトランジスタおよび上  
記四層構造をした前記容量素子が、一つの半導体基板に形成された半導体装置を  
提供することができる。なお、前記誘電体膜は、上記四層構造でもよいし、さ  
らに他の膜を加えてもよい。

【0088】

本発明に係る半導体装置は、  
不揮発性メモリトランジスタを備えた半導体装置であって、  
容量素子を備え、  
前記不揮発性メモリトランジスタおよび前記容量素子は、一つの半導体基板に  
形成され、  
前記容量素子は、下部電極、誘電体膜および上部電極を含み、  
前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、第1酸化  
膜、第2酸化膜、窒化膜、第3酸化膜のみを有する構造である。

【0089】

本発明に係る半導体装置によれば、前記不揮発性メモリトランジスタおよび上  
記四層構造をした前記容量素子が、一つの半導体基板に形成された半導体装置を  
提供することができる。なお、前記誘電体膜は、上記四層のみで構成され、他  
の膜は加わらない。

【0090】

本発明に係る半導体装置には、以下の態様がある。

【0091】

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 30/ 51

(1) 前記第1酸化膜は、熱酸化膜を含み、  
前記第2酸化膜は、CVD酸化膜を含み、  
前記第3酸化膜は、熱酸化膜を含む。

【0092】

(2) 前記第2酸化膜は、高温熱CVD酸化膜を含む。

【0093】

これによれば、前記第2酸化膜は緻密な膜になるので、容量素子の耐圧を向上させることができる。

【0094】

(3) 前記第1酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記第2酸化膜の厚みは、100～200オングストロームであり、

前記窒化膜の厚みは、50～500オングストロームであり、

前記第3酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みである。

【0095】

(4) 前記不揮発性メモリトランジスタは、  
フローティングゲートと、  
コントロールゲートと、  
前記フローティングゲートと前記コントロールゲートとの間に位置する中間絶縁膜と、  
を含み、

前記中間絶縁膜は、前記フローティングゲートから前記コントロールゲートへ向かって、順に、第1酸化膜、第2酸化膜、第3酸化膜を有する構造である。

【0096】

(5) 前記中間絶縁膜の前記第1酸化膜は、熱酸化膜を含み、  
前記中間絶縁膜の前記第2酸化膜は、CVD酸化膜を含み、  
前記中間絶縁膜の前記第3酸化膜は、熱酸化膜を含む。

【0097】

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 31/ 51

(6) 前記中間絶縁膜の前記第2酸化膜は、高温熱CVD酸化膜を含む、半導体装置。

【0098】

これによれば、前記第2酸化膜は緻密な膜になるので、前記中間絶縁膜の耐圧を向上させることができる。

【0099】

(7) 前記中間絶縁膜の前記第1酸化膜と、前記誘電体膜の前記第1酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記第2酸化膜と、前記誘電体膜の前記第2酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記第3酸化膜と、前記誘電体膜の前記第3酸化膜とは、同一工程で形成された膜である。

【0100】

これによれば、半導体装置の製造工程を簡略にすることができる。

【0101】

(8) 前記中間絶縁膜は、窒化膜を含み、

前記中間絶縁膜の前記窒化膜は、前記フローティングゲートの側壁下部であって、かつ前記中間絶縁膜の前記第2酸化膜と前記中間絶縁膜の前記第3酸化膜との間に位置している。

【0102】

前記不揮発性メモリトランジスタの動作のため、コントロールゲートに電圧（例えば、負電圧）を印加したとき、前記フローティングゲートの側壁下部に電界が集中することがある。これによれば、前記中間絶縁膜の耐圧を向上させることができる。

【0103】

(9) 前記中間絶縁膜の前記窒化膜と、前記誘電体膜の前記窒化膜とは、同一工程で形成された膜である。

【0104】

これによれば、半導体装置の製造工程を簡略にすることができる。

整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 32/ 51

【0105】

(10) 前記コントロールゲートおよび前記上部電極は、ポリシリコンからなる電極である。

【0106】

(11) 前記コントロールゲートおよび前記上部電極は、ポリサイドからなる電極である。

【0107】

これによれば、前記コントロールゲートおよび前記上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0108】

(12) 前記コントロールゲートおよび前記上部電極は、金属からなる電極である。

【0109】

これによれば、前記コントロールゲートおよび前記上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0110】

(13) 前記コントロールゲートおよび前記上部電極は、サリサイドからなる電極である。

【0111】

これによれば、前記コントロールゲートおよび前記上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0112】

(14) 前記フローティングゲートと、前記下部電極とは、同一工程で形成された膜であり、

前記コントロールゲートと、前記上部電極とは、同一工程で形成された膜である。

【0113】

これによれば、半導体装置の製造工程を簡略にすることができる。

【0114】

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 33/ 51

(15) 前記容量素子は、アナログ回路の構成要素である。

[0115]

(16) 前記不揮発性メモリトランジスタは、スプリットゲート型を含む。

[0116]

[4] 本発明に係る半導体装置の製造方法は、

不揮発性メモリトランジスタおよび容量素子が、一つの半導体基板に形成されており、

前記不揮発性メモリトランジスタは、フローティングゲート、中間絶縁膜およびコントロールゲートを含み、

前記容量素子は、下部電極、誘電体膜および上部電極を含む、構造の半導体装置の製造方法であって、

(a) 前記半導体基板上に、前記フローティングゲートおよび前記下部電極を形成する工程と、

(b) 前記フローティングゲート上および前記下部電極上に、第1酸化膜を形成する工程と、

(c) 前記第1酸化膜上に、第2酸化膜を形成する工程と、

(d) 前記下部電極上にある前記第2酸化膜上に、前記誘電体膜の構成要素となる窒化膜を形成する工程と、

(e) 前記フローティングゲートの側壁上にある前記第2酸化膜上、および、前記下部電極上にある前記窒化膜上に、

それぞれ、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素となる第3酸化膜を形成する工程と、

(f) 前記工程(e)後、前記半導体基板上に、前記コントロールゲートおよび前記上部電極を形成する工程と、

を備える。

[0117]

本発明に係る半導体装置の製造方法によれば、不揮発性メモリトランジスタと、四層構造のONO膜である誘電体膜を有する容量素子とを、一つの半導体基板に形成することができる。

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 34/ 51

【0118】

本発明に係る半導体装置の製造方法には、以下の態様がある。

【0119】

(1) 前記工程(a)は、

前記下部電極に不純物を導入することにより、前記下部電極を所定の不純物濃度にする工程を備える。

【0120】

下部電極の不純物濃度を変えることにより、容量素子の容量値を制御することができる。

【0121】

(2) 前記第1酸化膜は、熱酸化により形成される。

【0122】

(3) 前記第2酸化膜は、CVDにより形成される。

【0123】

(4) 前記CVDは、高温熱CVDにより形成される。

【0124】

これによれば、前記第2酸化膜は緻密な膜になるので、容量素子の耐圧を向上させることができる。

【0125】

(5) 前記窒化膜は、CVDにより形成される。

【0126】

(6) 前記第3酸化膜は、熱酸化により形成される。

【0127】

(7) 前記工程(d)は、

前記第2酸化膜上に、窒化膜を形成する工程と、

前記下部電極上にある前記第2酸化膜上の前記窒化膜上に、マスク膜を形成する工程と、

前記マスク膜をマスクとして、前記窒化膜を異方性エッチングにより選択的に除去することにより、

整理番号＝EP-0233701

提出日 平成12年 4月 4日  
頁: 35/ 51

前記フローティングゲートの側壁下部上にある前記第2酸化膜上、および、  
前記下部電極上にある前記第2酸化膜上に、  
それぞれ、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素となる前記窒化膜を残す工程と、  
を備える。

【0128】

これによれば、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素となる前記窒化膜を同時に形成することができる。

【0129】

(8) 前記工程(a)は、  
前記フローティングゲート上に選択酸化膜を形成する工程を備える。

【0130】

(9) 前記選択酸化膜を形成する工程は、  
前記半導体基板上に、導電膜を形成する工程と、  
前記フローティングゲートとなる前記導電膜上に、前記選択酸化膜を形成する工程と、を備える。

【0131】

(10) 前記フローティングゲートのパターンニングは、前記選択酸化膜をマスクとする。

【0132】

(11) 前記工程(a)は、  
前記半導体基板上に、導電膜を形成する工程と、  
前記導電膜をパターンニングすることにより、前記フローティングゲートおよび前記下部電極を、同時に形成する工程と、  
を備える。

【0133】

これによれば、半導体装置の製造工程の簡略を図ることができる。

【0134】

(12) 前記工程(f)は、

提出日 平成12年 4月 4日

整理番号=EP-0233701

頁: 36/ 51

前記半導体基板上に、他の導電膜を形成する工程と、  
前記他の導電膜をパターンニングすることにより、前記コントロールゲートおよび前記上部電極を、同時に形成する工程と  
を備える。

【0135】

これによれば、半導体装置の製造工程の簡略を図ることができる。

【0136】

(13) 前記不揮発性メモリトランジスタは、スプリットゲート型を含む。

【0137】

【発明の実施の形態】

【第1実施形態】

以下、図面を参照して本発明の第1実施形態にかかる半導体装置およびその製造方法について説明する。図10は、第1実施形態にかかる半導体装置の断面図である。第1実施形態にかかる半導体装置は、スプリットゲート (Split Gate) 型メモリトランジスタ51と2つの容量素子53、55を同一チップ (半導体基板) 内に形成したものである。図1～図9は、第1実施形態にかかる半導体装置の製造方法を示す断面図である。

【0138】

まず、図1に示すように、シリコン基板1の表面を850℃前後の温度でウェット酸化することにより、前記シリコン基板1上に、ゲート絶縁膜の一例であるゲート酸化膜3を形成する。次に、このゲート酸化膜3上に減圧CVD (Chemical Vapor Deposition) 法により厚さ1200～1500オングストローム程度の多結晶シリコン膜5を堆積させる。前記多結晶シリコン膜5を1200オングストローム以上とするのは次のような理由による。後述する選択酸化膜11の形成は前記多結晶シリコン膜5を酸化することにより行われるために、前記多結晶シリコン膜5の膜厚が1200オングストロームより薄くなると後述するフローティングゲート17の膜厚を所望する値に形成できないためである。また、前記多結晶シリコン膜5を1500オングストローム以下とするのは次の理由による。後述する熱酸化工程によってフローティングゲート17の側壁部へ形成するシ

整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 37/ 51

リコン酸化膜25の付きまわりが悪くなり、シリコン酸化膜25の膜厚が薄くなる。それ故、コントロールゲートとフローティングゲート間のシリコン酸化膜の耐圧が劣化する。よって前記多結晶シリコン膜5を1500オングストローム以下にすることが好ましいのである。

【0139】

次にこの多結晶シリコン膜5上にシリコン窒化膜からなる厚さ800～1000オングストローム程度の酸化防止膜7を堆積する。この後、この酸化防止膜7上にフォトレジスト膜9を塗布し、このフォトレジスト膜9を露光、現像する。これにより、フローティングゲート形成予定領域上に開口部を形成する。次に、フォトレジスト膜9をマスクとして開口部から露出した酸化防止膜7をドライエッチングすることにより、前記酸化防止膜7に開口部を形成する。次に、フォトレジスト膜9を除去する。

【0140】

この後、図2に示すように、酸化防止膜7をマスクとして開口部から露出した多結晶シリコン膜5を選択的に酸化することにより、前記多結晶シリコン膜5に選択酸化膜11を形成する。

【0141】

次に、図3に示すように、酸化防止膜7を熱リン酸により除去した後、選択酸化膜11及び多結晶シリコン膜5の上にフォトレジスト膜13を塗布し、このフォトレジスト膜13を露光、現像する。これにより、容量素子53、55を形成する領域上に開口部を形成する。次に、フォトレジスト膜13をマスクとして多結晶シリコン膜5に第1のドーズ量（例えばドーズ量 $5 \times 10^{15} / \text{cm}^2$ ）で不純物をイオン注入する。不純物10としては例えば燐をイオン注入する。これにより、容量素子53、55を形成する領域の多結晶シリコン膜5に不純物10が導入される。

【0142】

次に、図4に示すように、上記フォトレジスト膜13を除去した後、全面上にフォトレジスト膜15を塗布し、このフォトレジスト膜15を露光、現像する。これにより、容量素子を形成する領域上にレジストパターン15が形成される。

提出日 平成12年 4月 4日

整理番号=E P-0233701

頁: 38/ 51

この後、このレジストパターン15及び選択酸化膜11をマスクとして多結晶シリコン膜5を垂直方向に異方性エッチングする。これにより、選択酸化膜11の下にフローティングゲート17が形成され、フォトレジスト膜15の下に第1及び第2の容量素子それぞれの下部電極19、21が形成される。下部電極19の上面の面積は、下部電極21の上面の面積と同じである。

【0143】

この後、図5に示すように、上記フォトレジスト膜15を除去した後、容量素子の下部電極19、21の表面上及びフローティングゲート17の側面上に、例えば、熱酸化により厚さ60～80オングストローム程度のシリコン酸化膜25を形成する。このときゲート酸化膜3上および厚い選択酸化膜11上には、ほとんど酸化膜は成長しない。なお、ここでいう60～80オングストローム程度とは、シリコン上において、60～80オングストローム程度の熱酸化膜が成長する方法で形成される場合を意味する。以下、熱酸化法で形成される場合の厚みの意味は、これと同じである。

【0144】

次に、このシリコン酸化膜25及び選択酸化膜11を含む全面上に厚さ150オングストローム程度のシリコン酸化膜37を、例えば、高温熱CVD法により750℃～850℃の条件で堆積する。シリコン酸化膜37は、高温熱CVD法で形成されるので緻密な膜となる。これにより、スプリットゲート型メモリトランジスタ51の中間絶縁膜の耐圧を向上させることができる。

【0145】

次に、図6に示すように、全面上にフォトレジスト膜39を塗布し、このフォトレジスト膜39を露光、現像する。これにより、容量素子53を形成する領域上に開口部を形成する。その後、露出したシリコン酸化膜37及びその下のシリコン酸化膜25をウエットエッチングにより除去する。これにより、下部電極19の一部が露出する。

【0146】

この後、図7に示すように、上記フォトレジスト膜39を除去した後、下部電極19及びシリコン酸化膜37の表面上に、例えば、熱酸化により厚さ100オ

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 39/ 51

ングストローム程度のシリコン酸化膜41を形成する。ここでも、シリコン酸化膜37上にはほとんど酸化膜は成長しない。よって、シリコン酸化膜37上におけるシリコン酸化膜41の厚みは、下部電極19上におけるシリコン酸化膜41の厚みに比べて、小さくなる。次に、このシリコン酸化膜41上に、例えば、CVD法により、厚さ150オングストローム程度のシリコン窒化膜43を、堆積する。

【0147】

この後、図8に示すように、このシリコン窒化膜43上にフォトレジスト膜45を塗布し、このフォトレジスト膜45を露光、現像する。これにより、容量素子の下部電極19、21上にレジストパターン45が形成される。

【0148】

次に、図9に示すように、このレジストパターン45をマスクとしてシリコン窒化膜43を垂直方向に異方性エッチングする。これにより、フローティングゲート17の側壁下部に側部絶縁膜43aが形成され、下部電極19、21上にシリコン窒化膜43bが形成される。

【0149】

この後、図10に示すように、シリコン窒化膜の側部絶縁膜43a、シリコン窒化膜43b及びシリコン酸化膜41を含む全面上に、例えば、CVD法により厚さ100オングストローム程度のシリコン酸化膜47を堆積する。

【0150】

このシリコン酸化膜47の上に減圧CVD法により多結晶シリコン膜を堆積させ、POCl<sub>3</sub>雰囲気により前記多結晶シリコン膜にリンイオンを拡散させた後に、多結晶シリコン膜をパターニングする。

【0151】

これにより、多結晶シリコン膜を選択酸化膜11の上からフローティングゲート17の一側部とシリコン基板1上にかけて残存させる。この残存した多結晶シリコン膜がコントロールゲート33となる。また、下部電極19上にシリコン酸化膜41、シリコン窒化膜43b、及びシリコン酸化膜47を介して多結晶シリコン膜を残存させる。この残存した多結晶シリコン膜が容量素子53の上部電極

提出日 平成12年 4月 4日

整理番号=EP-0233701

頁: 40/ 51

36となる。また、下部電極21上にシリコン酸化膜25、シリコン酸化膜37、シリコン酸化膜41、シリコン窒化膜43b、及びシリコン酸化膜47を介して多結晶シリコン膜を残存させる。この残存した多結晶シリコン膜が容量素子55の上部電極35となる。

【0152】

この後、コントロールゲート33とフローティングゲート17との両側のシリコン基板1に不純物を導入することにより、前記シリコン基板1にソース、ドレイン領域の拡散層（図示せず）を形成する。

【0153】

ここで、第1実施形態の主な効果を説明する。

【0154】

図10に示すように、第1実施形態によれば、同一シリコン基板1上にスプリットゲート型メモリトランジスタ51及び容量素子53、55を容易に混載することができる。これにより、別々のチップに形成していた従来のものに比べてチップ数を少なくすることができ、その結果、製品コストを低減できる。

【0155】

また、第1実施形態において、容量素子53は下部電極19、誘電体膜としてのONO膜（シリコン酸化膜41、シリコン窒化膜43b、シリコン酸化膜47）及び上部電極36から構成される。容量素子55は下部電極21、誘電体膜としてのONO膜（シリコン酸化膜25、シリコン酸化膜37、シリコン酸化膜41、シリコン窒化膜43b、シリコン酸化膜47）及び上部電極35から構成される。このように、容量素子55の誘電体膜は、容量素子53の誘電体膜とは異なる構成要素を含む。言い換えれば、容量素子55の誘電体膜の膜厚は、容量素子53の誘電体膜の膜厚と異なる。よって、第1実施形態によれば、容量素子53および容量素子55の容量値を、それぞれ、所望の値にすることができる。

【0156】

なお、容量素子55の誘電体膜が容量素子53の誘電体膜とは異なる構成要素を含むようにできるのは、図6に示す工程で、容量素子53を形成する領域にあるシリコン酸化膜のみ除去する工程を設けているからである。

整理番号＝EP－0233701

提出日 平成12年 4月 4日

頁: 41/ 51

【0157】

また、第1実施形態において、誘電体膜がONO膜となる容量素子53、55を作ることができるのは、図9に示す工程で、フローティングゲート17の側壁下部にシリコン窒化膜からなる側部絶縁膜43aを形成すると同時に下部電極19、21上にシリコン酸化膜41を介してシリコン窒化膜43bを形成するからである。

【0158】

〔第2実施形態〕

図12は、第2実施形態にかかる半導体装置の断面図である。第2実施形態にかかる半導体装置は、第1実施形態と同様に、スプリットゲート型メモリトランジスタ51と、2つの容量素子53、55を同一チップ（半導体基板）内に形成したものである。第1実施形態と同等の機能を有する部分には、同一符号を付している。第2実施形態については、第1実施形態と相違する点を説明する。

【0159】

第2実施形態は、CVDで形成されたシリコン酸化膜47（図10参照）の代わりに、図12に示すように、熱酸化で形成されたシリコン酸化膜57を備えている。

【0160】

第2実施形態は、シリコン窒化膜の側部絶縁膜43a、シリコン窒化膜43bの形成工程まで、第1実施形態と同じ方法を用いることができる。側部絶縁膜43a、シリコン窒化膜43b形成後、図11に示すように、側部絶縁膜43a、シリコン窒化膜43b及びシリコン酸化膜41を含む全面上に、熱酸化により、厚さ60～80オングストローム程度のシリコン酸化膜57を堆積する。そして、第1実施形態と同じ方法を用いて、コントロールゲート33、上部電極35、36を形成する。

【0161】

第2実施形態によれば、電界効果トランジスタを含む回路（例えば、SRAM）が、シリコン基板1に混載されている場合、シリコン酸化膜57形成時に、電界効果トランジスタのゲート酸化膜を形成することができる。

提出日 平成12年 4月 4日

整理番号 = EP-0233701

頁: 42/ 51

【0162】

## 〔第3実施形態〕

図13は、第3実施形態にかかる半導体装置の断面図である。第3実施形態にかかる半導体装置は、第1、2実施形態と同様に、スプリットゲート型メモリトランジスタ51と、2つの容量素子53、55を同一チップ（半導体基板）内に形成したものである。第1、2実施形態と同等の機能を有する部分には、同一符号を付している。第3実施形態については、第1、2実施形態と相違する点を説明する。

【0163】

第3実施形態において、上部電極35が誘電体膜と面する面積と、上部電極36が誘電体膜と面する面積は、同じになる。容量素子53と容量素子55は誘電体膜の構成要素が異なる（膜厚が異なる）。よって、第3実施形態によれば、容量素子53と容量素子55の容量値は異なる。

【0164】

これに対して、図10に示す第1実施形態および図12に示す第2実施形態において、上部電極35が誘電体膜と面する面積と、上部電極36が誘電体膜と面する面積は、異なる。よって、単位面積あたりの容量値が異なる容量素子53、55になる。これによる効果は、以下のとおりである。半導体装置の設計は、前世代の技術を用いることがある。前世代の技術において、例えば、容量素子Aの上部電極が誘電体膜と面する面積と、容量素子Bの上部電極が誘電体膜と面する面積とが異なり、かつ容量素子Aの容量値と容量素子Bの容量値とが異なっていたとする。第1および第2実施形態によれば、上部電極が誘電体膜と面する面積が異なったままの設計技術を用いながら、容量素子A、Bの容量値を同じにできる。

【0165】

## 〔第4実施形態〕

図22は、第4実施形態にかかる半導体装置の断面図である。第1～第3実施形態と同等の機能を有する部分には、同一符号を付している。第4実施形態にかかる半導体装置は、スプリットゲート型メモリトランジスタ51と、容量素子5

提出日 平成12年 4月 4日  
頁: 43/ 51

整理番号=EP-0233701

5を同一チップ（半導体基板）内に形成したものである。図14～図21は、第4実施形態にかかる半導体装置の製造方法を示す断面図である。

[0 1 6 6]

まず、図 14 に示す工程を行う。この工程は図 1 に示す工程と同様である。次に、図 15 に示す工程を行う。この工程は図 2 に示す工程と同様である。そして、図 16 に示す工程を行う。この工程は図 3 に示す工程と同様である。次に、図 17 に示す工程を行う。この工程は図 4 に示す工程と同様である。但し、下部電極 19 のパターンニングはされない。

[0 1 6 7]

この後、図 18 示すように、上記フォトリジスト膜 15 を除去した後、容量素子の下部電極 21 の表面上及びフローティングゲート 17 の側面上に、例えば、熱酸化により厚さ 60 ～ 80 オングストローム程度のシリコン酸化膜 25 を形成する。このときゲート酸化膜 3 上および厚い選択酸化膜 11 上には、ほとんど酸化膜は成長しない。

[ 0 1 6 8 ]

そして、シリコン酸化膜 25 及び選択酸化膜 11 を含む全面上に厚さ 100 ~ 200 オングストローム程度のシリコン酸化膜 37 を、例えば、高温熱 CVD 法により 750℃ ~ 850℃ の条件で堆積する。

[0169]

図19に示すように、シリコン酸化膜37上に、例えば、CVD法により、厚さ50~500オングストローム程度のシリコン窒化膜43を、堆積する。

【0170】

図20に示すように、シリコン窒化膜43上にフォトレジスト膜を塗布し、フォトレジスト膜を露光、現像する。これにより、下部電極21上にレジストパターン45が形成される。

[0 1 7 1]

図21に示すように、レジストパターン45をマスクとしてシリコン窒化膜43を垂直方向に異方性エッチングする。これにより、フローティングゲート17の側壁下部に側部絶縁膜43aが形成され、下部電極21上にシリコン窒化膜4

提出日 平成12年 4月 4日

整理番号=EP-0233701

頁: 44/ 51

3bが形成される。

【0172】

図22に示すように、シリコン窒化膜の側部絶縁膜43a、シリコン窒化膜43b及びシリコン酸化膜37を含む全面上に、例えば、熱酸化法により厚さ60～80オングストローム程度のシリコン酸化膜57を堆積する。

【0173】

そして、第1実施形態と同様の方法を用いて、コントロールゲート33および容量素子の上部電極35を形成する。この後、コントロールゲート33とフローティングゲート17との両側のシリコン基板1に不純物を導入することにより、前記シリコン基板1にソース、ドレイン領域の拡散層（図示せず）を形成する。

【0174】

ここで、第4実施形態の主な効果を説明する。図22に示すように、第4実施形態において、容量素子55は下部電極21、誘電体膜としてのONO膜（シリコン酸化膜25、シリコン酸化膜37、シリコン窒化膜43b、シリコン酸化膜57）及び上部電極35から構成される。このように、第4実施形態によれば、同一シリコン基板1上にSplit Gate型Flash Cell及び容量素子を容易に混載することができる。これにより、別々のチップに形成していた従来のものに比べてチップ数を少なくすることができ、その結果、製品コストを低減できる。

【0175】

なお、第1～第4実施形態において、下部電極の不純物濃度を変えることにより、容量値を制御することができる。これを説明するために、サンプルAの容量素子と、サンプルBの容量素子を準備した。

【0176】

{サンプルA}

サンプルAは、以下のようにして形成された容量素子である。

【0177】

(1) 厚さ1200オングストロームの多結晶シリコン膜からなる下部電極を形成した。下部電極の上面は、一辺の長さが3200オングストロームの正方形である。

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 45/ 51

【0178】

(2) この下部電極に、35 KeVの加速電圧で、リンをイオン注入した。

【0179】

(3) イオン注入後、この下部電極を750℃で熱酸化することにより、この下部電極上に熱シリコン酸化膜を形成した。

【0180】

(4) この熱シリコン酸化膜上に、厚さ150オングストロームのシリコン窒化膜を形成した。

【0181】

(5) このシリコン窒化膜を750℃で熱酸化することにより、このシリコン窒化膜上に熱シリコン酸化膜を形成した。

【0182】

(6) この熱シリコン酸化膜上に厚さ2500オングストロームの多結晶シリコン膜からなる上部電極を形成した。

【0183】

なお、工程(2)において、不純物の注入量(ドーズ量)を、 $4.5 \times 10^{15} / \text{cm}^2$ の場合、 $6 \times 10^{15} / \text{cm}^2$ の場合、 $8 \times 10^{15} / \text{cm}^2$ の場合、の三つに分けた。

【0184】

{サンプルB}

サンプルBは、以下のようにして形成された容量素子である。

【0185】

(1) 厚さ1700オングストロームの多結晶シリコン膜からなる下部電極を形成した。下部電極の上面は、一辺の長さが3200オングストロームの正方形である。

【0186】

(2) この下部電極に、35 KeVの加速電圧で、リンをイオン注入した。

整理番号=E P-0233701

提出日 平成12年 4月 4日  
頁: 46/ 51

【0187】

(3) イオン注入後、この下部電極を1000℃で熱酸化することにより、この下部電極上に熱シリコン酸化膜を形成した。

【0188】

(4) この熱シリコン酸化膜上に、厚さ150オングストロームのシリコン窒化膜を形成した。

【0189】

(5) このシリコン窒化膜を750℃で熱酸化することにより、このシリコン窒化膜上に熱シリコン酸化膜を形成した。

【0190】

(6) この熱シリコン酸化膜上に厚さ2500オングストロームの多結晶シリコン膜からなる上部電極を形成した。

【0191】

なお、工程(2)において、不純物の注入量(ドーズ量)を、 $4.5 \times 10^{15} / \text{cm}^2$ の場合、 $6 \times 10^{15} / \text{cm}^2$ の場合、 $8 \times 10^{15} / \text{cm}^2$ の場合、の三つに分けた。

【0192】

図23は、下部電極に導入される不純物の注入量(ドーズ量)と、容量値との関係を示すグラフである。サンプルA、Bともに、下部電極に導入される不純物の注入量が多くなる(つまり、下部電極中の不純物濃度を高くする)と、容量値が小さくなる。また、サンプルA、Bともに、下部電極に導入される不純物の注入量が少なくなる(つまり、下部電極中の不純物濃度が低くなる)と、容量値が大きくなる。以上より、下部電極の不純物濃度を変えることにより、容量値を制御することができることが分かる。よって、これを第1～第4実施形態に適用すると、容量素子の容量値は、より多様な値をとりうる。

【0193】

また、第1～第4実施形態において、コントロールゲート33、上部電極35、36を多結晶シリコン膜により形成しているが、コントロールゲート33、上部電極35、36をチタンシリサイド、タングステンシリサイド、コバルトシリ

整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 47/ 51

サイドなどのシリサイドと多結晶シリコンの2層構造からなるポリサイド膜により形成することも可能である。また、コントロールゲート33、上部電極35、36を、例えば、タングステンやアルミニウムのような金属で構成してもよい。コントロールゲート33、上部電極35、36を、シリサイドで構成してもよい。これらによりコントロールゲート33、上部電極35、36の抵抗値を低くすることができ、高速化を実現することが可能となる。

【0194】

また、図24は、第1～第4実施形態の半導体装置が適用された、エンベディド半導体装置7000のレイアウトを示す模式図である。この例では、エンベディド半導体装置7000は、フラッシュメモリ90と、SRAMメモリ92と、RISC94と、アナログ回路96とがSOG (Sea Of Gate) に混載されている。第1～第4実施形態のスプリットゲート型メモリトランジスタ51は、フラッシュメモリ90の構成要素である。第1～第4実施形態の容量素子53、55は、アナログ回路96の構成要素である。

【図面の簡単な説明】

【図1】

第1実施形態における半導体装置の製造方法の第1工程を示すシリコン基板の断面図である。

【図2】

第1実施形態における半導体装置の製造方法の第2工程を示すシリコン基板の断面図である。

【図3】

第1実施形態における半導体装置の製造方法の第3工程を示すシリコン基板の断面図である。

【図4】

第1実施形態における半導体装置の製造方法の第4工程を示すシリコン基板の断面図である。

【図5】

第1実施形態における半導体装置の製造方法の第5工程を示すシリコン基板の

整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 48/ 51

断面図である。

【図6】

第1実施形態における半導体装置の製造方法の第6工程を示すシリコン基板の断面図である。

【図7】

第1実施形態における半導体装置の製造方法の第7工程を示すシリコン基板の断面図である。

【図8】

第1実施形態における半導体装置の製造方法の第8工程を示すシリコン基板の断面図である。

【図9】

第1実施形態における半導体装置の製造方法の第9工程を示すシリコン基板の断面図である。

【図10】

第1実施形態における半導体装置の断面図である。

【図11】

第2実施形態における半導体装置の製造方法の工程を示すシリコン基板の断面図である。

【図12】

第2実施形態における半導体装置の断面図である。

【図13】

第3実施形態における半導体装置の断面図である。

【図14】

第4実施形態における半導体装置の製造方法の第1工程を示すシリコン基板の断面図である。

【図15】

第4実施形態における半導体装置の製造方法の第2工程を示すシリコン基板の断面図である。

【図16】

提出日 平成12年 4月 4日

整理番号=EP-0233701

頁: 49/ 51

第4実施形態における半導体装置の製造方法の第3工程を示すシリコン基板の断面図である。

【図17】

第4実施形態における半導体装置の製造方法の第4工程を示すシリコン基板の断面図である。

【図18】

第4実施形態における半導体装置の製造方法の第5工程を示すシリコン基板の断面図である。

【図19】

第4実施形態における半導体装置の製造方法の第6工程を示すシリコン基板の断面図である。

【図20】

第4実施形態における半導体装置の製造方法の第7工程を示すシリコン基板の断面図である。

【図21】

第4実施形態における半導体装置の製造方法の第8工程を示すシリコン基板の断面図である。

【図22】

第4実施形態における半導体装置の断面図である。

【図23】

下部電極に導入される不純物の注入量と、容量値との関係を示すグラフである。

【図24】

第1～第4実施形態の半導体装置が適用された、エンベディド半導体装置700のレイアウトを示す模式図である。

【符号の説明】

- 1 シリコン基板
- 3 ゲート酸化膜
- 5 多結晶シリコン膜

提出日 平成12年 4月 4日

頁: 50/ 51

整理番号=EP-0233701

- 7 酸化防止膜
- 9 フォトレジスト膜
- 10 不純物
- 11 選択酸化膜
- 13 フォトレジスト膜
- 15 フォトレジスト膜
- 17 フローティングゲート
- 19 下部電極
- 21 下部電極
- 23 フォトレジスト膜
- 25 シリコン酸化膜
- 29 シリコン窒化膜
- 29 a 側部絶縁膜
- 29 b シリコン窒化膜
- 30 フォトレジスト膜
- 31 シリコン酸化膜
- 33 コントロールゲート
- 35 上部電極
- 36 上部電極
- 37 シリコン酸化膜
- 39 フォトレジスト膜
- 41 シリコン酸化膜
- 43 シリコン窒化膜
- 43 a 側部絶縁膜
- 43 b シリコン窒化膜
- 45 フォトレジスト膜
- 47 シリコン酸化膜
- 51 スプリットゲート型メモリトランジスタ
- 53 容量素子

整理番号 = EP-0233701

提出日 平成12年 4月 4日  
頁: 51/ 51

頁: 51/ 51

## 5.5 容量素子

## 57 シリコン酸化膜

頁: 1/1

【選択図】 図13

图 13

提出日 平成12年 4月 4日

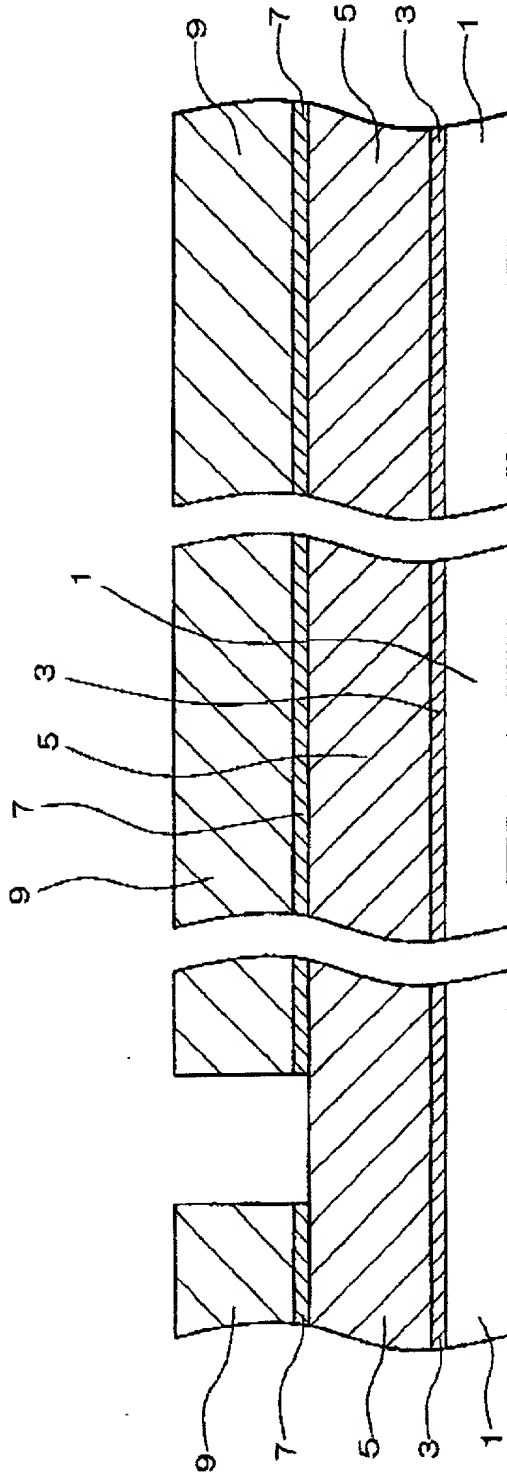
整理番号=EP-0233701

頁: 1/ 24

【書類名】

図面

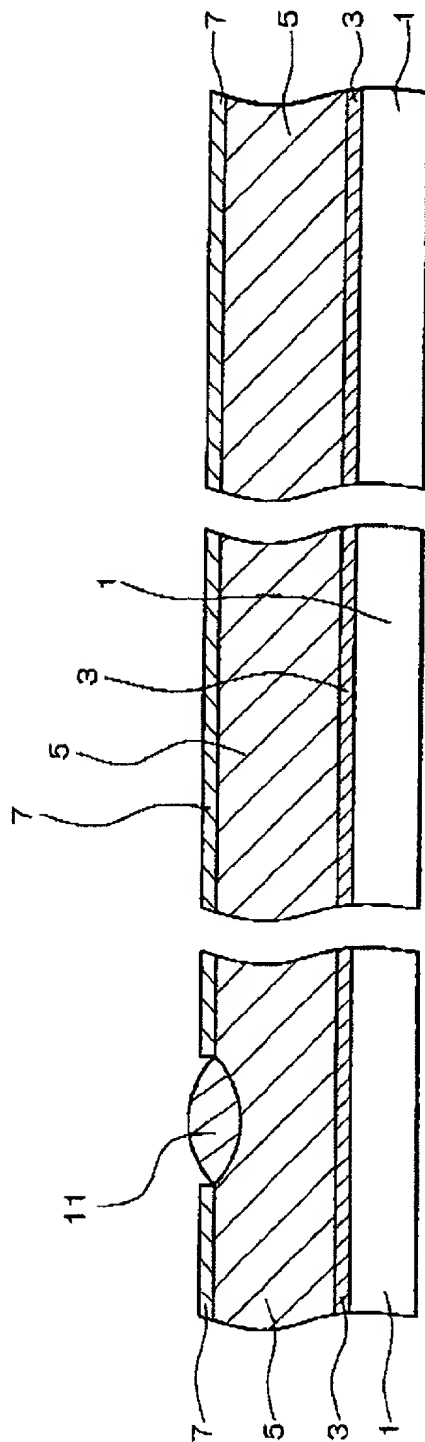
【図1】



整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 2/ 24

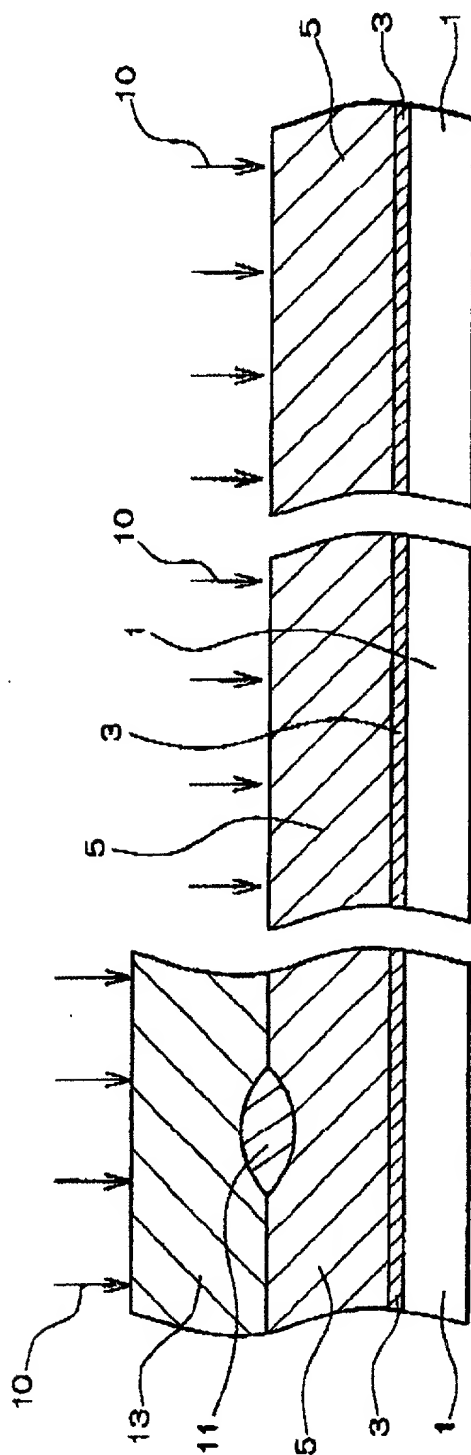
【図2】



提出日 平成12年 4月 4日  
頁: 3/ 24

整理番号=EP-0233701

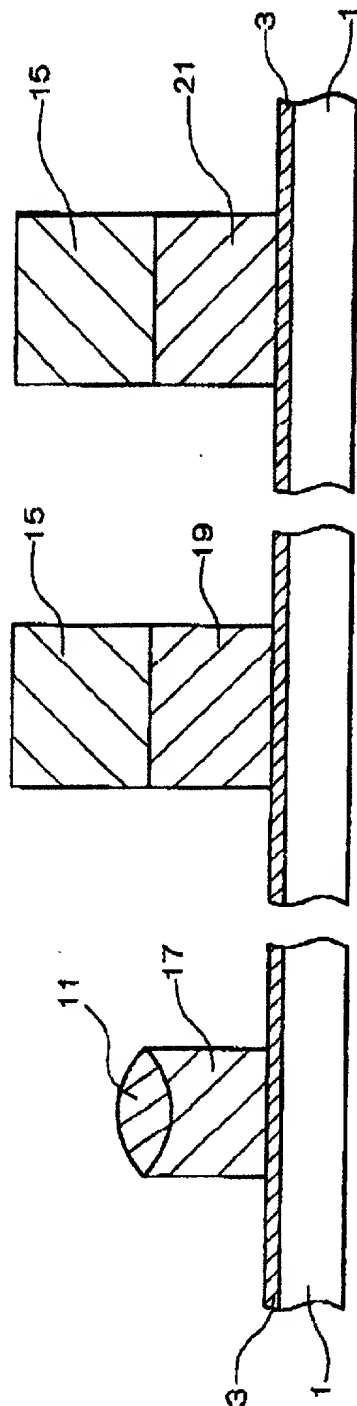
【図3】



提出日 平成12年 4月 4日  
頁: 4/ 24

整理番号=EP-0233701

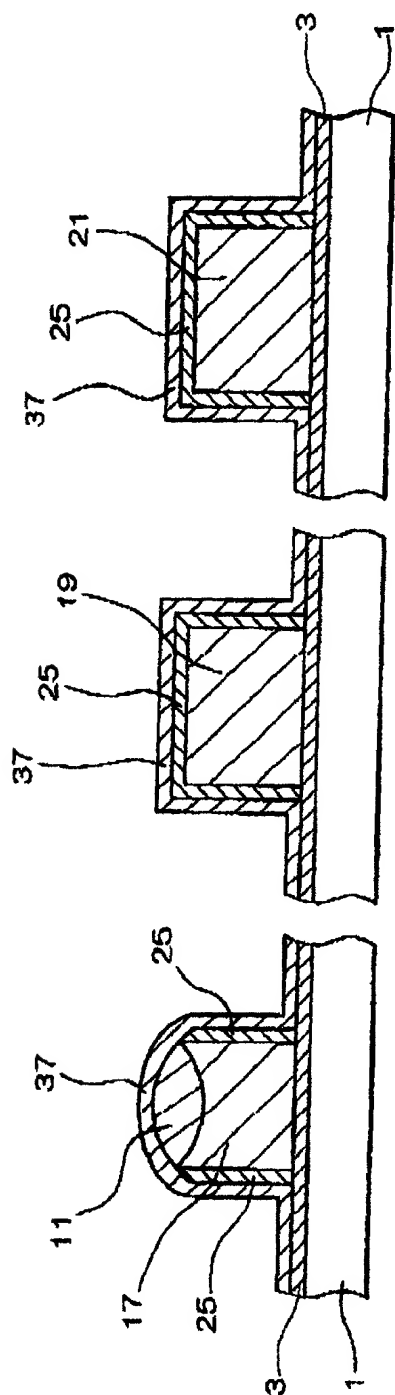
【図4】



提出日 平成12年 4月 4日  
頁: 5/ 24

整理番号=EP-0233701

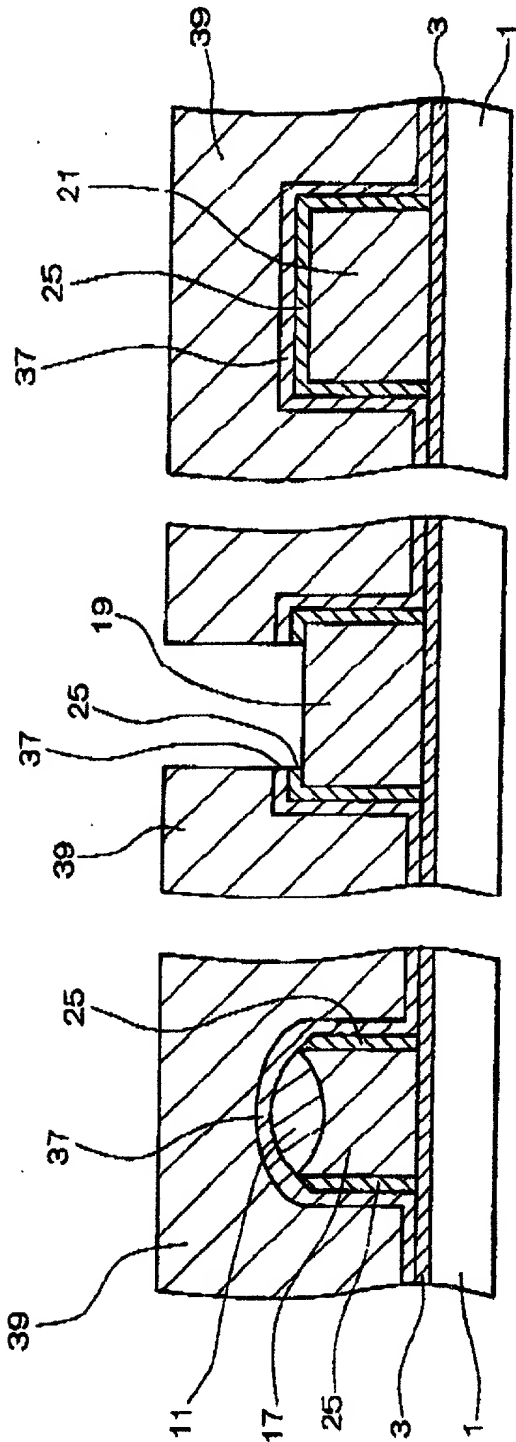
【図5】



提出日 平成12年 4月 4日  
 頁: 6/ 24

整理番号=EP-0233701

【図6】

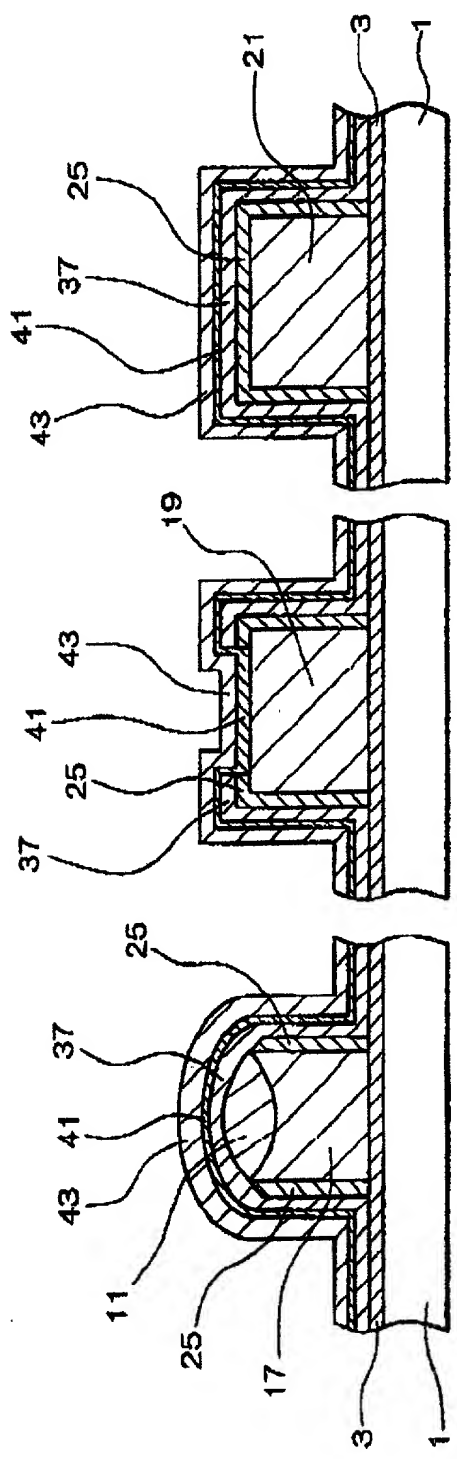


39 21 25 37 3 1  
 39 25 37 3 1  
 39 25 37 11 17 25 3 1

提出日 平成12年 4月 4日  
 頁: 7/ 24

整理番号=EP-0233701

【図7】

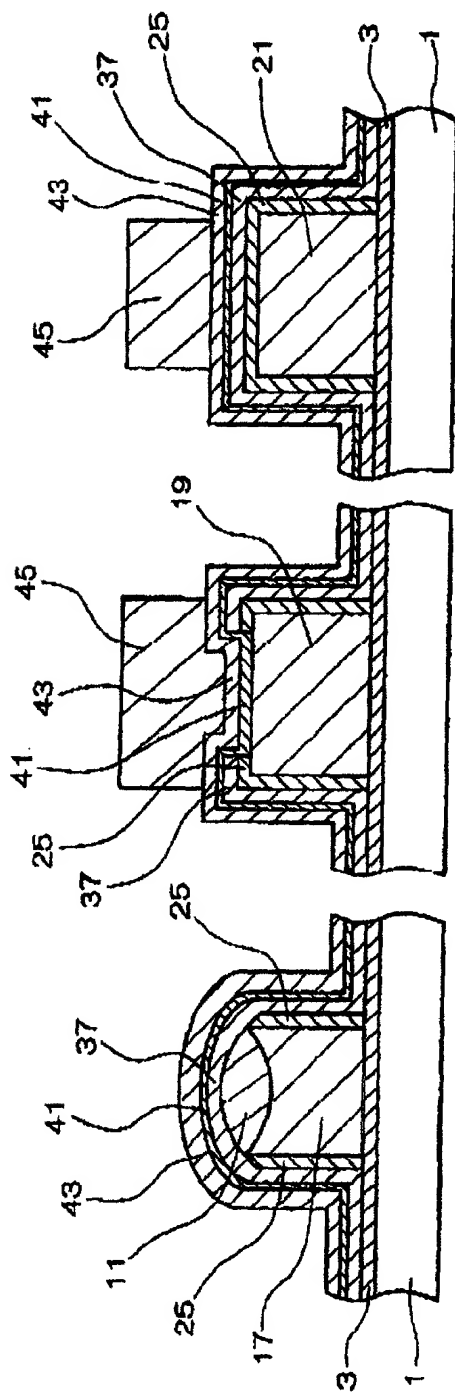


提出日 平成12年 4月 4日

整理番号=EP-0233701

頁: 8/ 24

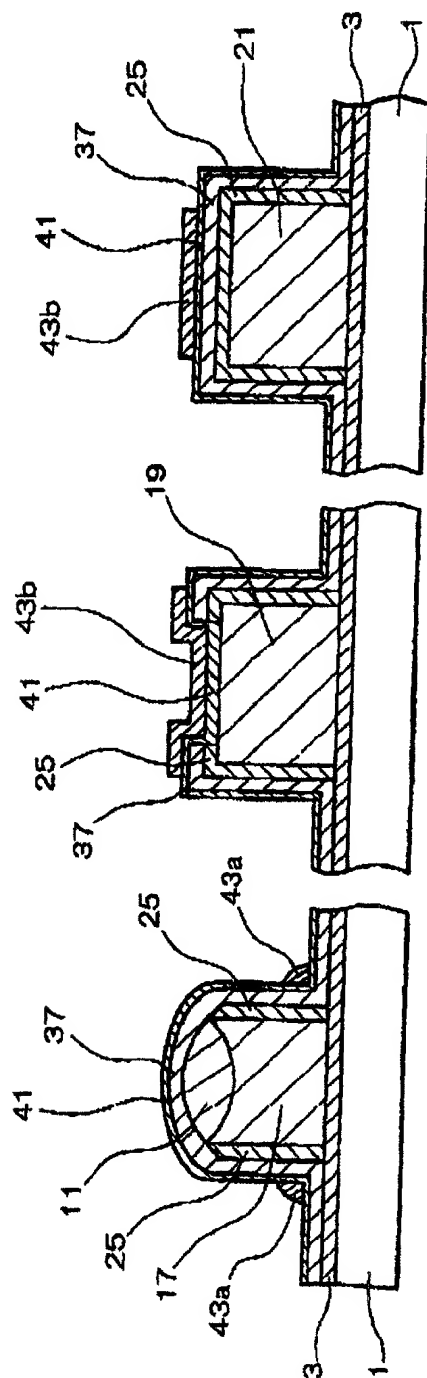
【図8】



整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 9/ 24

【図9】

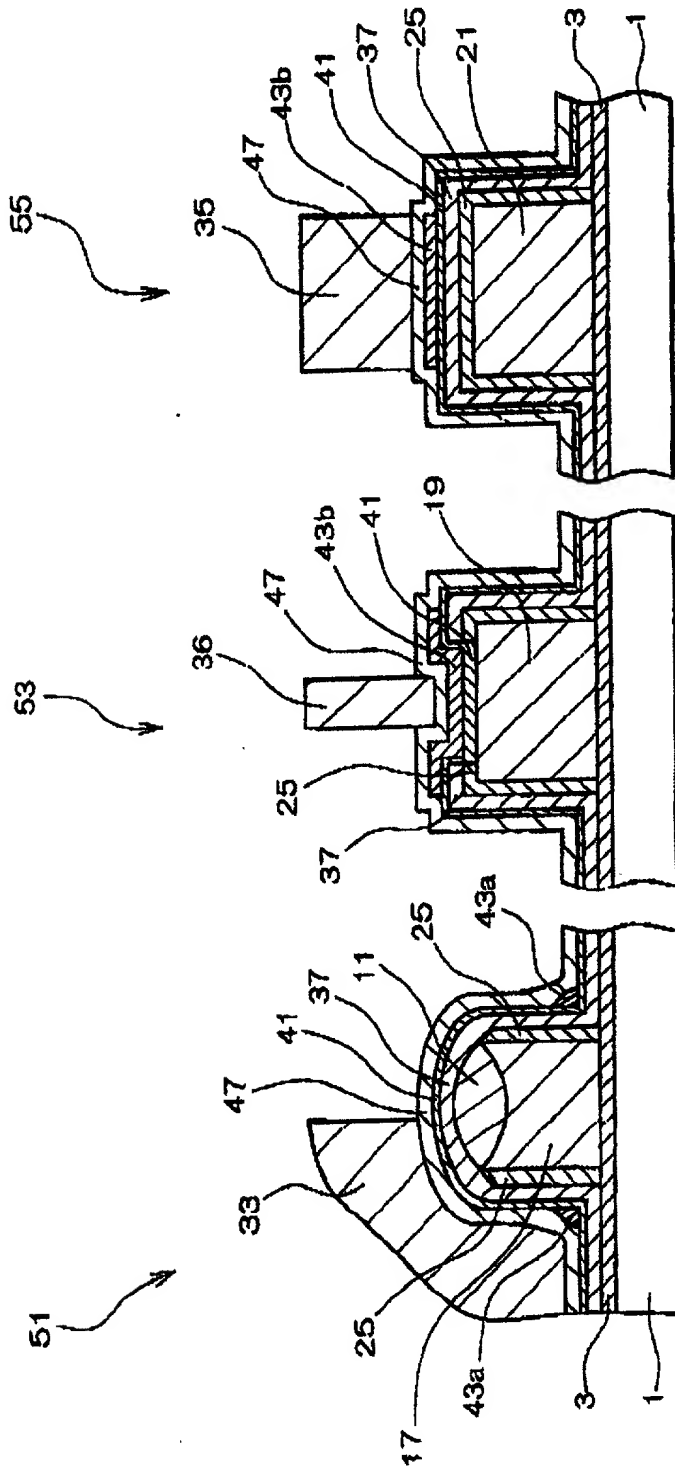


提出日 平成12年 4月 4日

頁: 10/ 24

整理番号=EP-0233701

【図10】

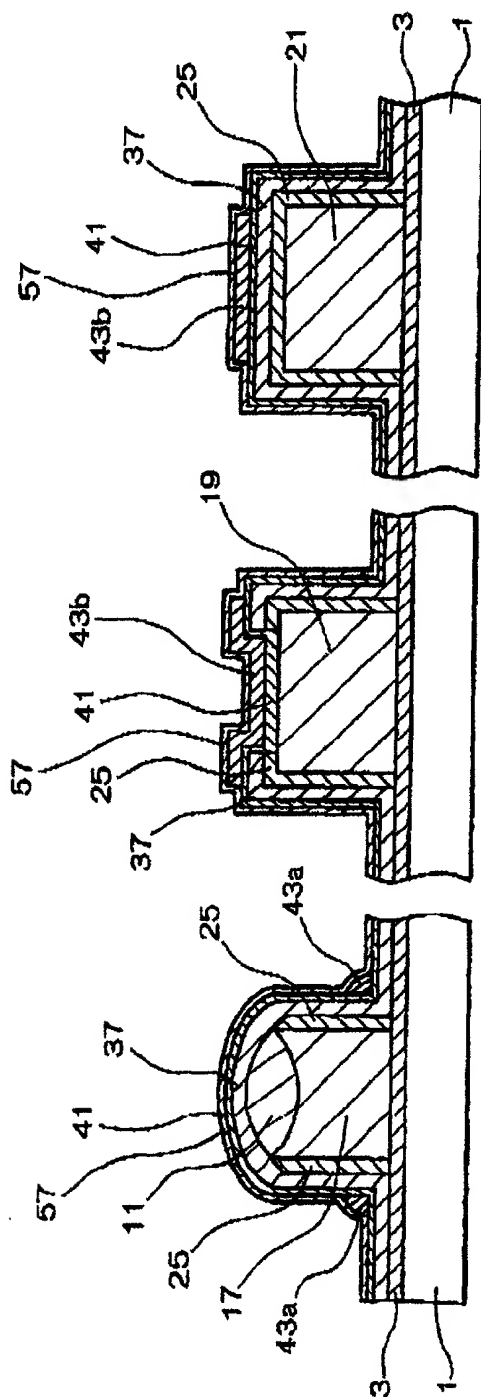


整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 11/ 24

【図11】

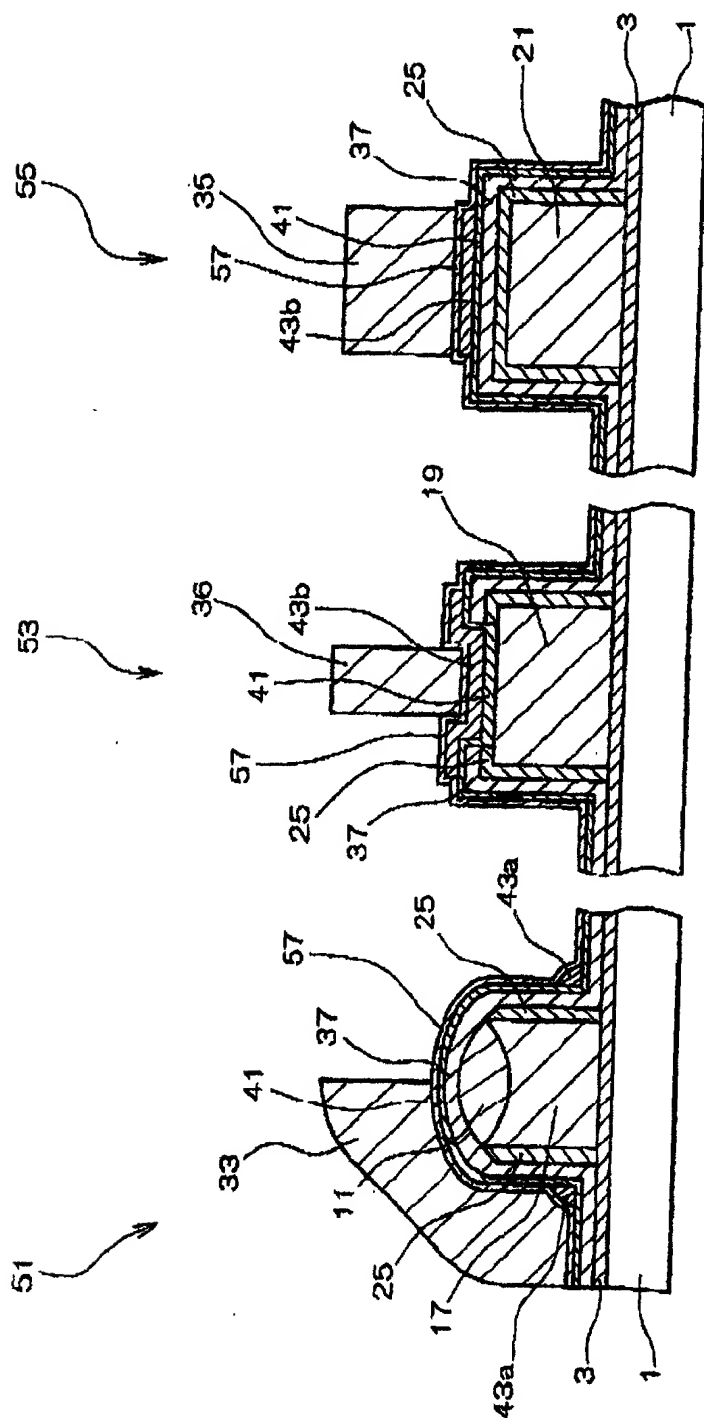


EP0233701A1

整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 12/ 24

(図12)



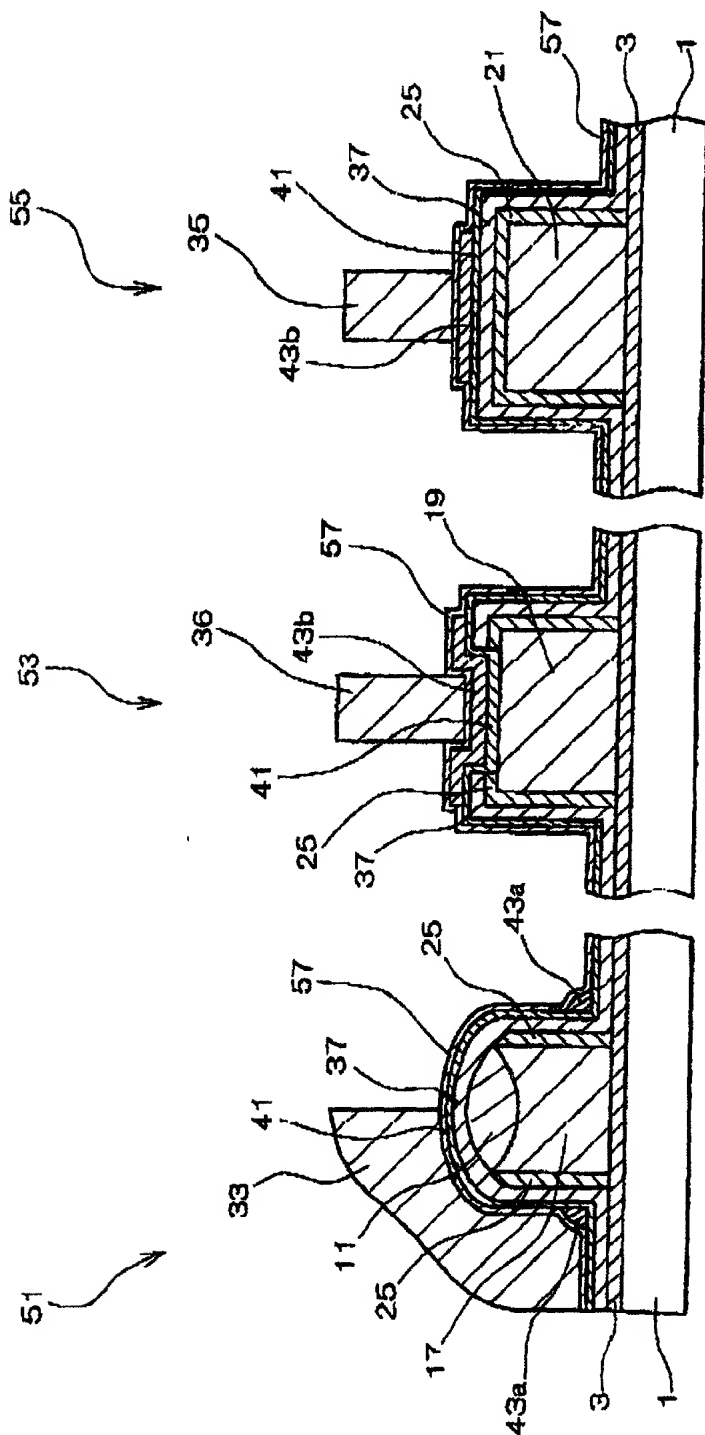
Copyright © 2000 Epson

整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 13/ 24

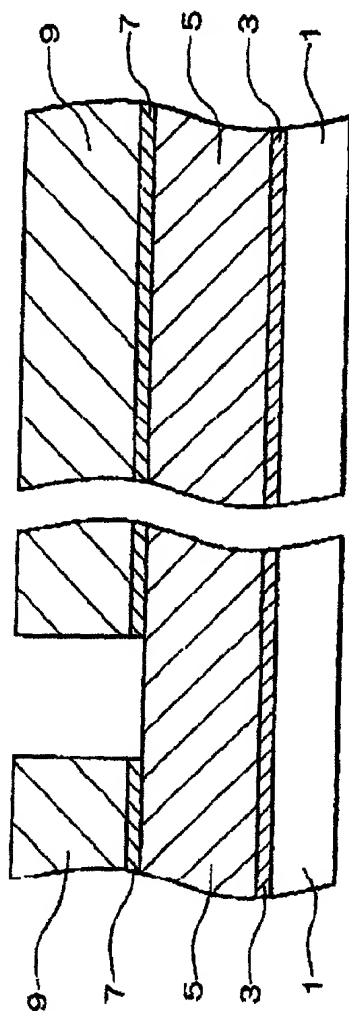
【図13】



整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 14/ 24

【図14】

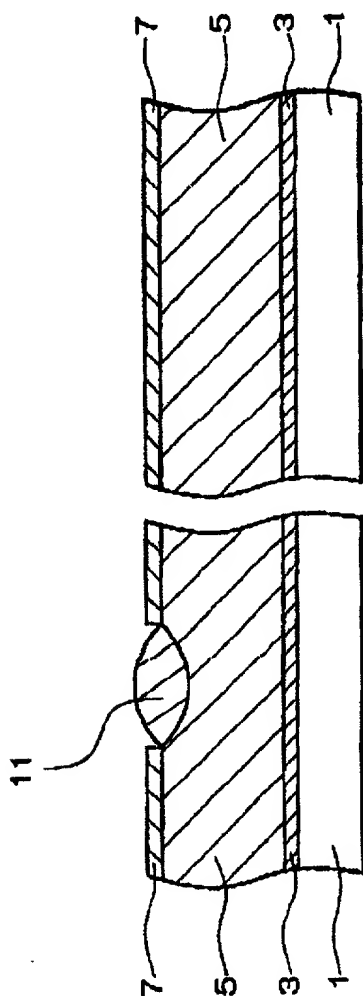


提出日 平成12年 4月 4日

頁: 15/ 24

整理番号=EP-0233701

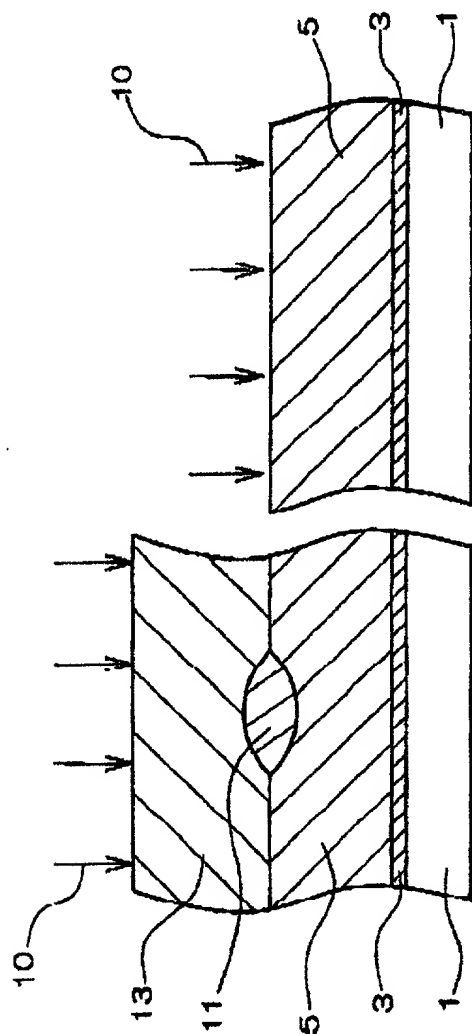
【図15】



整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 16/ 24

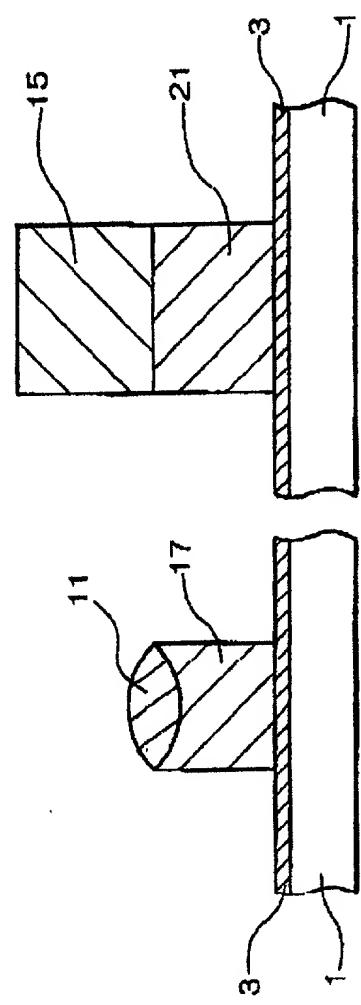
【図16】



提出日 平成12年 4月 4日  
頁: 17/ 24

整理番号=EP-0233701

【図17】

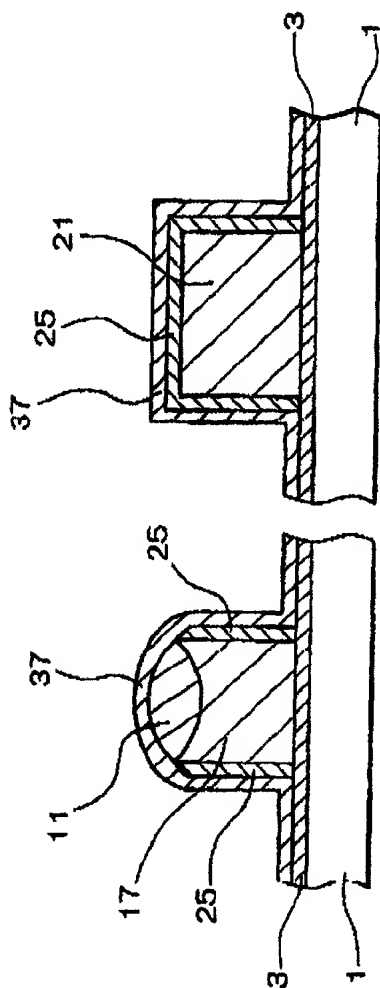


整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 18/ 24

【図18】

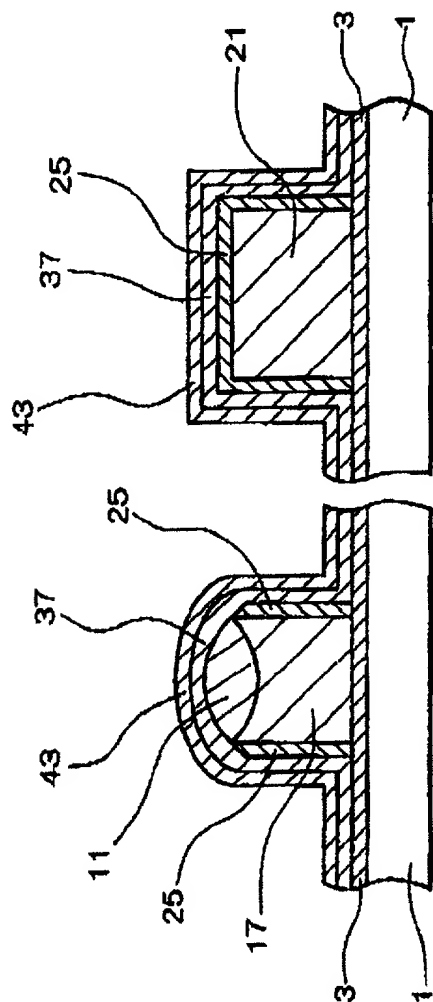


提出日 平成12年 4月 4日

整理番号=EP-0233701

頁: 19/ 24

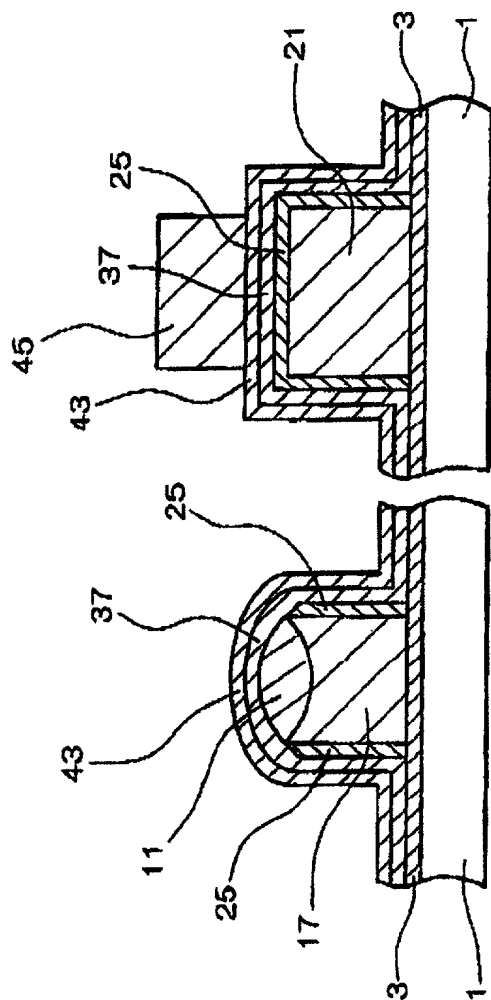
【図19】



整理番号=EP-0233701

提出日 平成12年 4月 4日  
頁: 20/ 24

【図20】

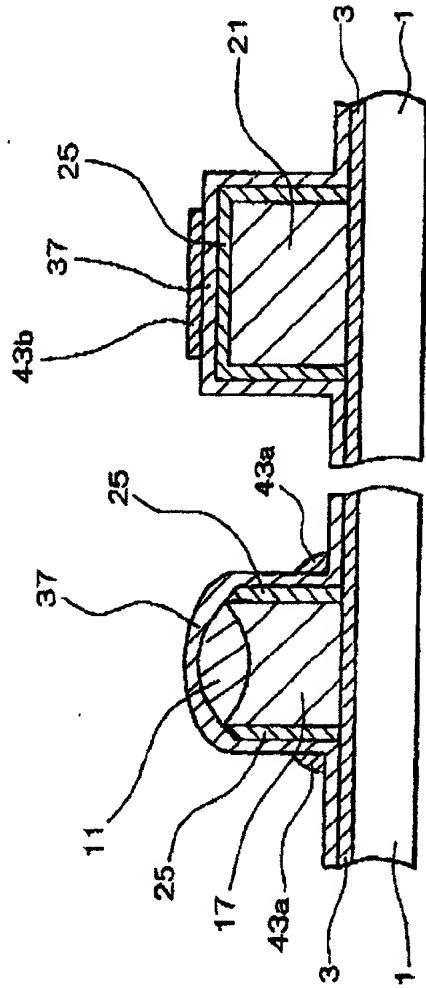


整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 21/ 24

【図21】

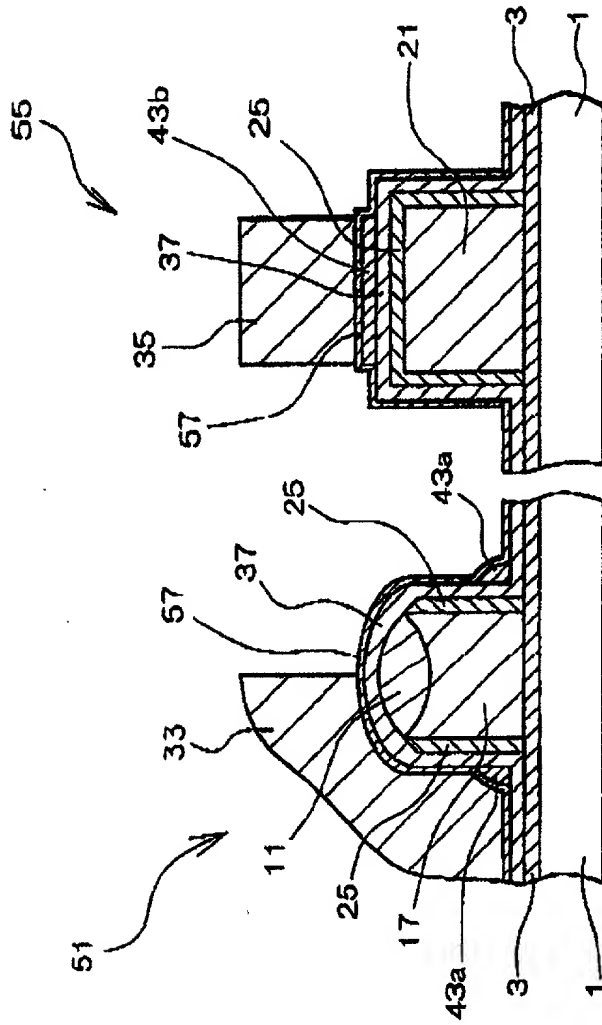


提出日 平成12年 4月 4日

整理番号=EP-0233701

頁: 22/ 24

[図22]

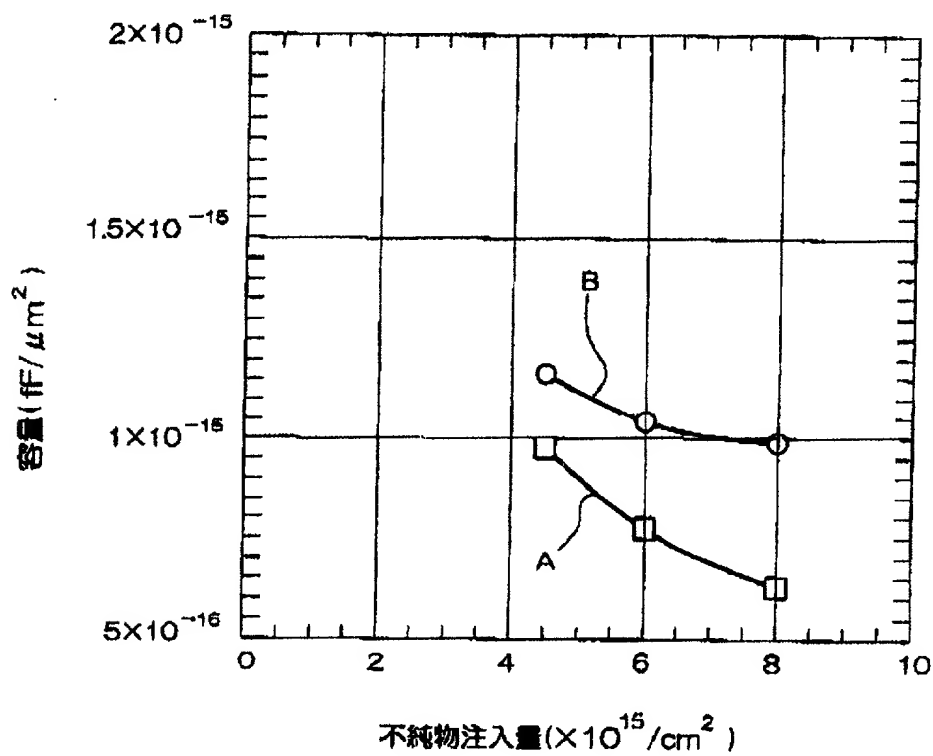


整理番号 = EP-0233701

提出日 平成12年 4月 4日

頁: 23/ 24

[図 23]



整理番号=EP-0233701

提出日 平成12年 4月 4日

頁: 24/ 24

【図24】

